

035-697

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日
Date of Application:

2002年10月24日

出 願 番 号
Application Number:

特願2002-309871

[ST.10/C]:

[JP2002-309871]

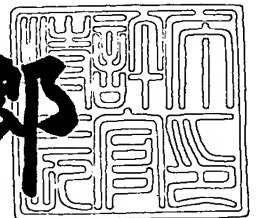
出 願 人
Applicant(s):

株式会社東芝

2003年 5月30日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3040821

【書類名】 特許願

【整理番号】 A000203699

【提出日】 平成14年10月24日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置およびその製造方法

【請求項の数】 15

【発明者】

【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

【氏名】 秋山 和隆

【特許出願人】

【識別番号】 000003078

【氏名又は名称】 株式会社 東芝

【代理人】

【識別番号】 100058479

【弁理士】

【氏名又は名称】 鈴江 武彦

【電話番号】 03-3502-3181

【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置およびその製造方法

【特許請求の範囲】

【請求項 1】

基板上に設けられた第 1 の絶縁膜の上面から内部にかけて設けられた第 1 の配線およびそのパッド部と、

前記第 1 の絶縁膜および前記第 1 の配線上に設けられた第 2 の絶縁膜と、

前記第 1 の配線のパッド部の上方で前記第 2 の絶縁膜の上面から露出して設けられた第 2 の配線と、

前記第 2 の配線の下面から前記第 1 の配線のパッド部の内部に達して設けられたコンタクトプラグと、

を具備することを特徴とする半導体装置。

【請求項 2】

前記コンタクトプラグは、少なくともその側部が前記第 1 の配線のパッド部に電氣的に接続されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記コンタクトプラグは、その下端が前記第 1 の配線のパッド部の下面と同等以下の高さに設けられていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】

前記第 2 の配線は、そのパッド部の下面が前記第 1 の配線のパッド部の上面から離間されて設けられていることを特徴とする請求項 1 ～ 3 のうちのいずれかに記載の半導体装置。

【請求項 5】

前記第 2 の配線のパッド部の下面と前記第 1 の配線のパッド部の上面との間には、前記第 2 の絶縁膜が挟まれていることを特徴とする請求項 4 に記載の半導体装置。

【請求項 6】

前記コンタクトプラグは、前記第 2 の配線に一体に形成されていることを特徴とする請求項 1 ～ 5 のうちのいずれかに記載の半導体装置。

【請求項 7】

前記第 2 の配線および前記コンタクトプラグがアルミニウム単体およびアルミニウムを含む化合物の少なくとも一方により形成されていることを特徴とする請求項 1 ～ 6 のうちのいずれかに記載の半導体装置。

【請求項 8】

前記プラグが複数個設けられていることを特徴とする請求項 1 ～ 7 のうちのいずれかに記載の半導体装置。

【請求項 9】

基板上に設けられた第 1 の絶縁膜の上面から内部にかけて第 1 の配線用凹部を形成するとともに、前記第 1 の絶縁膜を選択的に残しつつ前記第 1 の配線用凹部に連続して第 1 の配線のパッド部用凹部を形成する工程と、

前記第 1 の配線用凹部および前記第 1 の配線のパッド部用凹部の内側に第 1 の導電材料を埋め込んで第 1 の配線および第 1 の配線のパッド部を形成する工程と

前記第 1 の配線および前記第 1 の配線のパッド部が形成された前記第 1 の絶縁膜上に第 2 の絶縁膜を設ける工程と、

前記第 1 の配線のパッド部上の前記第 2 の絶縁膜および選択的に残された前記第 1 の絶縁膜を除去して、第 2 の配線用凹部およびコンタクトホールを形成する工程と、

前記第 2 の配線用凹部および前記コンタクトホールの内側に第 2 の導電材料を埋め込んで第 2 の配線およびコンタクトプラグを形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 10】

前記コンタクトプラグを前記第 2 の配線と一体に形成することを特徴とする請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

基板上に設けられた第 1 の絶縁膜の上面から内部にかけて第 1 の配線用凹部を形成するとともに、前記第 1 の絶縁膜を選択的に残しつつ前記第 1 の配線用凹部に連続して第 1 の配線のパッド部用凹部を形成する工程と、

前記第 1 の配線用凹部および前記第 1 の配線のパッド部用凹部の内側に第 1 の導電材料を埋め込んで第 1 の配線および第 1 の配線のパッド部を形成する工程と

前記第 1 の配線および前記第 1 の配線のパッド部が形成された前記第 1 の絶縁膜上に第 2 の絶縁膜を設ける工程と、

選択的に残された前記第 1 の絶縁膜およびその上方の前記第 2 の絶縁膜を除去してコンタクトホールを形成する工程と、

前記コンタクトホールの内側に第 2 の導電材料を埋め込んでコンタクトプラグを形成する工程と、

前記コンタクトプラグが形成された前記第 2 の絶縁膜上に第 3 の絶縁膜を設ける工程と、

前記コンタクトプラグの上面を露出させるように前記第 1 の配線のパッド部上の前記第 3 の絶縁膜を除去して第 2 の配線用凹部を形成する工程と、

前記第 2 の配線用凹部の内側に第 3 の導電材料を埋め込んで第 2 の配線を形成する工程と、

を含むことを特徴とする半導体装置の製造方法。

【請求項 1 2】

前記第 1 の配線のパッド部用凹部を形成する工程において、選択的に残される前記第 1 の絶縁膜の大きさを前記コンタクトホールの大きさよりも僅かに小さくすることを特徴とする請求項 9 ～ 1 1 のうちのいずれかに記載の半導体装置の製造方法。

【請求項 1 3】

前記第 2 の導電材料および前記第 3 の導電材料として、同じ導電材料を用いることを特徴とする請求項 1 1 または 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】

前記第 2 の配線および前記コンタクトプラグを、アルミニウム単体およびアルミニウムを含む化合物の少なくとも一方により形成することを特徴とする請求項 9 ～ 1 3 のうちのいずれかに記載の半導体装置の製造方法。

【請求項 1 5】

前記第 2 の導電材料または前記第 3 の導電材料をパターニングして加工することにより前記第 2 の配線を形成することを特徴とする請求項 9 ～ 1 4 のうちのいずれかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、半導体装置の信頼性を向上させる技術に係り、特に半導体装置のパッド部の構造の改良を図った半導体装置およびその製造方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体基板（S i ウェーハ）に形成されている各種半導体素子は、通常、配線（メタル配線）により電氣的に接続される。このメタル配線を形成する方法としては、例えば S i ウェーハ上の絶縁膜にパターニングおよび異方性エッチングを施して溝を形成した後、この溝の内部に配線材料となる銅（C u）を埋め込む方法がある。このような方法で形成されたメタル配線は、一般に C u ダマシン配線と呼ばれる。

【 0 0 0 3 】

一般に、C u ダマシン配線はその表面が酸化され易い。例えば半導体素子上に形成された C u ダマシン配線のパッド部にボンディングを行う場合、C u ダマシン配線の表面が酸化されると、パッド部とボンディング部材との接点における電気抵抗が上昇し易い。また、一般に C u ダマシン配線は柔らかいので、C u ダマシン配線のパッド部にその上方から電氣的測定を行うためのプローブの針を落とすと、C u ダマシン配線の表面に針が刺さり易い。そして、その針跡で酸化が進み、電気抵抗が上昇し易い。したがって、通常は C u ダマシン配線よりも酸化され難く、かつ、硬いアルミニウム（A l）配線を用いて、C u ダマシン配線の上に最上層配線を形成する。すなわち、パッド部を C u ダマシン配線ではなく、A l 配線により形成する。

【 0 0 0 4 】

ところが、C u ダマシン配線と A l 配線との接触部（接続部）では、C u が A

1 内に浸透し易い。このため、Cu の Al 内への浸透を抑制するバリア性の高い物質を素材とするバリアメタル膜（BM 膜）を、Cu ダマシン配線と Al 配線との間に設ける必要がある。一般に、Cu ダマシン配線と Al 配線との間のバリアメタル膜は TaN を用いて形成される。しかし、TaN からなるバリアメタル膜（TaN 膜）を介して Cu ダマシン配線と Al 配線とを接続すると、その接続部が剥がれ易い。以下、図面を参照しつつ簡潔に説明する。

【0005】

図 1 3 に示す半導体装置 1 0 1 では、半導体基板 1 0 2 の上に設けられた第 n 層目（n は 1 以上の整数）の層間絶縁膜 1 0 3 の内部に Cu ダマシン配線 1 0 4 および TaN バリアメタル膜 1 0 5 が形成されている。Cu ダマシン配線 1 0 4 および層間絶縁膜 1 0 3 の上には、拡散防止膜 1 0 6 および最上層の絶縁膜 1 0 7 が積層されて設けられている。そして、拡散防止膜 1 0 6 および絶縁膜 1 0 7 を貫通して形成されたパッド部開口部 1 0 8 付近に、Al 配線 1 0 9 が形成されている。Al 配線 1 0 9 は、その下面が Cu ダマシン配線 1 0 4 の上面と TaN バリアメタル膜 1 0 5 を介して間接的に、かつ、平面的に接触するように形成されている。このように、半導体装置 1 0 1 のパッド部 1 1 0 は、Cu ダマシン配線 1 0 4 と、その直上に Cu ダマシン配線 1 0 4 と平面的に接触するように設けられた Al 配線 1 0 9 とによって形成されている。なお、図 1 3（b）は、図 1 3（a）中一点鎖線 X-X に沿って示す断面図である。

【0006】

半導体装置 1 0 1 のパッド部 1 1 0 に、図示しないプローブ針を落とす。すると、Cu ダマシン配線 1 0 4 と Al 配線 1 0 9 とが、それらの接触部（接続部）において剥がれることがある。このような配線同士の剥がれを抑制するために、パッド部が図 1 4 に示す構造からなる半導体装置 2 0 1 がある（例えば特許文献 1 参照）。

【0007】

半導体装置 2 0 1 では、前述した半導体装置 1 0 1 と同様に半導体基板 2 0 2 の上に第 n 層目の層間絶縁膜 2 0 3、Cu ダマシン配線 2 0 4、および TaN バリアメタル膜 2 0 5 が設けられている。Cu ダマシン配線 2 0 4 および層間絶縁

膜 2 0 3 の上には、拡散防止膜 2 0 6 および最上層の絶縁膜 2 0 7 が積層されて設けられている。Cu ダマシンプ配線 2 0 4 の上方には、Cu ダマシンプ配線 2 0 4 の上面と TaN バリアメタル膜 2 0 5 を介して間接的に接触するように Al ダマシンプ配線 2 0 9 が形成されている。ただし、Al ダマシンプ配線 2 0 9 は、配線本体部 2 0 9 a と、配線本体部 2 0 9 a に一体に形成されたヴィアプラグ 2 0 9 b とから形成されている。また、ヴィアプラグ 2 0 9 b は、1 個の大きいヴィアプラグではなく、複数個に分割されて小さく形成されている。各ヴィアプラグ 2 0 9 b は、ヴィアホール 2 0 8 b 内に Al 膜 2 1 3 を成膜して形成されている。各ヴィアプラグ 2 0 9 b は、その下端面において Cu ダマシンプ配線 2 0 4 の上面と間接的に接触している。このように、半導体装置 2 0 1 のパッド部 2 1 0 は、Al ダマシンプ配線本体部 2 0 9 a、各 Al ヴィアプラグ 2 0 9 b、および Cu ダマシンプ配線 2 0 4 によって形成されている。なお、図 1 4 (b) は、図 1 4 (a) 中一点鎖線 Y-Y に沿って示す断面図である。

【 0 0 0 8 】

この半導体装置 2 0 1 のように、パッド部 2 0 9 における Cu ダマシンプ配線 2 0 4 と Al ダマシンプ配線 2 0 9 との剥がれを防止するためには、配線同士が平面的に接触しない構造を採用することが有効である。それとともに、Cu ダマシンプ配線 2 0 4 と Al ダマシンプ配線 2 0 9 との間、および各 Al ヴィアプラグ 2 0 9 b 同士の間に絶縁膜 2 0 6, 2 0 7 を保持して、配線同士の密着性を高める構造を採用することが有効である。

【 0 0 0 9 】

【特許文献 1】

特開平 1 0 - 9 8 0 3 9 号公報

【 0 0 1 0 】

【発明が解決しようとする課題】

しかし、一般にパッド部は電源線に直結される配線となる場合が多い。この場合、基板に形成されている半導体素子によっては、パッド部に大電流を流す可能性がある。半導体装置 1 0 1 に比べると、半導体装置 2 0 1 では、Cu ダマシンプ配線 2 0 4 と Al 配線 2 0 7 との接触面積が低減されている。このため、半導体

装置 1 0 1 のパッド部 1 1 0 に比べると、半導体装置 2 0 1 の A 1 パッド部 2 1 0 は、例えばエレクトロマイグレーション (EM) に対する耐性が劣化しているおそれがある。

【 0 0 1 1 】

また、絶縁膜を加工して形成したヴィアホール (Via hole) および溝に Cu ダマシン配線を形成することによって半導体素子上に多層配線を形成する場合、この多層配線に長時間電流を流すと、ヴィアプラグで導通不良が発生するおそれがある。これは、Cu ダマシン配線とヴィアプラグとの界面で、電子の流れる向きに Cu が移動することに起因するエレクトロマイグレーションが発生することによる。エレクトロマイグレーション不良は、Cu 配線とヴィアプラグとの間の Ta N バリアメタル膜の界面で発生し易い。特に、バリアメタル膜を介して電子がヴィアプラグ側から下層の Cu ダマシン配線側に流れる際に、ヴィアプラグ直下の下層 Cu ダマシン配線中の Cu が移動することによるエレクトロマイグレーション不良が発生し易い。その中でも、特に電界が集中し易いヴィアプラグの角部において Cu が移動して導通不良が発生する。したがって、エレクトロマイグレーション耐性を上げるためには、バリアメタル膜を介した下層の Cu ダマシン配線とヴィアプラグとの接触面積を大きくすることが課題となる。

【 0 0 1 2 】

本発明は、以上説明したような課題を解決するためになされたものであり、その目的とするところは、パッド部における配線同士の密着性および配線間の導電性の向上が図られ、信頼性を向上された半導体装置、およびそのような半導体装置を容易に製造できる半導体装置の製造方法を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

前記課題を解決するために、本発明に係る半導体装置は、基板上に設けられた第 1 の絶縁膜の上面から内部にかけて設けられた第 1 の配線およびそのパッド部と、前記第 1 の絶縁膜および前記第 1 の配線上に設けられた第 2 の絶縁膜と、前記第 1 の配線のパッド部の上方で前記第 2 の絶縁膜の上面から露出して設けられた第 2 の配線と、前記第 2 の配線の下面から前記第 1 の配線のパッド部の内部に

達して設けられたコンタクトプラグと、を具備することを特徴とするものである。

【 0 0 1 4 】

この半導体装置によれば、第 1 の配線上に設けられた第 2 の配線の下面から第 1 の配線のパッド部の内部に達してコンタクトプラグが設けられている。これにより、第 1 の配線と第 2 の配線とが互いに立体的に接触できる。したがって、第 1 の配線と第 2 の配線とのパッド部における接触面積が増大されて、第 1 の配線と第 2 の配線とのパッド部における密着性が向上されている。それとともに、第 1 の配線と第 2 の配線とのパッド部における単位面積当たりの電流密度が小さくなり、例えばエレクトロマイグレーションに対する耐性が向上されている。すなわち、パッド部における配線同士の密着性および配線間の導電性の向上が図られており、信頼性が向上されている。

【 0 0 1 5 】

また、前記課題を解決するために、本発明の一態様に係る半導体装置の製造方法は、基板上に設けられた第 1 の絶縁膜の上面から内部にかけて第 1 の配線用凹部を形成するとともに、前記第 1 の絶縁膜を選択的に残しつつ前記第 1 の配線用凹部に連続して第 1 の配線のパッド部用凹部を形成する工程と、前記第 1 の配線用凹部および前記第 1 の配線のパッド部用凹部の内側に第 1 の導電材料を埋め込んで第 1 の配線および第 1 の配線のパッド部を形成する工程と、前記第 1 の配線および前記第 1 の配線のパッド部が形成された前記第 1 の絶縁膜上に第 2 の絶縁膜を設ける工程と、前記第 1 の配線のパッド部上の前記第 2 の絶縁膜および選択的に残された前記第 1 の絶縁膜を除去して、第 2 の配線用凹部およびコンタクトホールを形成する工程と、前記第 2 の配線用凹部および前記コンタクトホールの内側に第 2 の導電材料を埋め込んで第 2 の配線およびコンタクトプラグを形成する工程と、を含むことを特徴とするものである。

【 0 0 1 6 】

さらに、前記課題を解決するために、本発明の別の態様に係る半導体装置の製造方法は、基板上に設けられた第 1 の絶縁膜の上面から内部にかけて第 1 の配線用凹部を形成するとともに、前記第 1 の絶縁膜を選択的に残しつつ前記第 1 の配

線用凹部に連続して第 1 の配線のパッド部用凹部を形成する工程と、前記第 1 の配線用凹部および前記第 1 の配線のパッド部用凹部の内側に第 1 の導電材料を埋め込んで第 1 の配線および第 1 の配線のパッド部を形成する工程と、前記第 1 の配線および前記第 1 の配線のパッド部が形成された前記第 1 の絶縁膜上に第 2 の絶縁膜を設ける工程と、選択的に残された前記第 1 の絶縁膜およびその上方の前記第 2 の絶縁膜を除去してコンタクトホールを形成する工程と、前記コンタクトホールの内側に第 2 の導電材料を埋め込んでコンタクトプラグを形成する工程と、前記コンタクトプラグが形成された前記第 2 の絶縁膜上に第 3 の絶縁膜を設ける工程と、前記コンタクトプラグの上面を露出させるように前記第 1 の配線のパッド部上の前記第 3 の絶縁膜を除去して第 2 の配線用凹部を形成する工程と、前記第 2 の配線用凹部の内側に第 3 の導電材料を埋め込んで第 2 の配線を形成する工程と、を含むことを特徴とするものである。

【 0 0 1 7 】

これらの半導体装置の製造方法によれば、選択的に残された第 1 の絶縁膜を除去して形成されたコンタクトホール内に第 2 の導電材料を埋め込むことにより、第 1 の配線とその上に設けられる第 2 の配線とを電氣的に接続するコンタクトプラグを第 1 の配線のパッド部の内部に達して形成する。これにより、第 1 の配線と第 2 の配線とは互いに立体的に接触する。したがって、第 1 の配線と第 2 の配線とのパッド部における接触面積が増大されて、第 1 の配線と第 2 の配線とのパッド部における密着性が向上される。それとともに、第 1 の配線と第 2 の配線とのパッド部における単位面積当たりの電流密度が小さくなり、例えばエレクトロマイグレーションに対する耐性が向上される。すなわち、パッド部における配線同士の密着性および配線間の導電性の向上が図り、半導体装置の信頼性を向上できる。

【 0 0 1 8 】

【発明の実施の形態】

以下、本発明の詳細を図示の実施形態によって説明する。

【 0 0 1 9 】

(第 1 の実施の形態)

先ず、本発明に係る第 1 実施形態を図 1 ～図 4 を参照しつつ説明する。図 1 ～図 3 は、本実施形態に係る半導体装置の製造方法を示す工程断面図および平面図である。図 4 は、本実施形態に係る半導体装置およびその製造方法を示す工程断面図および平面図である。以下、本実施形態の半導体装置およびその製造方法を、製造工程の順番に沿ってまとめて説明する。

【 0 0 2 0 】

先ず、図 1 (a) に示すように、図示しない各種電子回路を構成する能動領域や下層配線などが形成されたシリコン基板 (S i 基板、半導体基板) 1 上に、第 1 の絶縁膜としての第 n 層目 (n は 1 以上の整数) の層間絶縁膜 2 を設ける。具体的には、例えば C V D 法により、 S i 基板 1 の表面上に第 1 層目の層間絶縁膜 2 をその膜厚が約 0 . 5 μ m となるまで成膜する。本実施形態では、層間絶縁膜 2 として S i O₂ 膜を採用する。また、本実施形態では、 S i 基板 1 上に層間絶縁膜 2 を 1 層設けることとするが、層間絶縁膜 2 を複数層に積層して設けるとともに、各層間絶縁膜 2 内に配線を形成して多層配線構造を構成しても構わない。このような多層配線構造の場合、その最上層の層間絶縁膜 2 に後述する第 1 の配線 6 を形成するものとする。

【 0 0 2 1 】

次に、図 1 (b) , (c) に示すように、 S i O₂ 膜 2 に第 1 の配線 6 を形成するための第 1 の配線用凹部 3 を形成する。具体的には、例えばフォトリソ法により、第 1 の配線 6 の配線パターンを S i O₂ 膜 2 上にパターンニングする。この後、 C F 系のガスを用いた異方性エッチングにより S i O₂ 膜 2 を加工して、第 1 の配線用凹部 3 を形成する。異方性エッチングとしては、例えば R I E 法 (反応性イオンエッチング法) を採用する。

【 0 0 2 2 】

S i O₂ 膜 2 をエッチングする際、図 1 (b) 中 d で示す第 1 の配線用凹部 3 の深さが約 0 . 4 μ m となるように、かつ、図 1 (c) 中 w で示す第 1 の配線用凹部 3 の幅が約 0 . 4 μ m となるように S i O₂ 膜 2 を加工する。また、第 1 の配線用凹部 3 のうち、第 1 の配線 6 のパッド部 6 a が形成される第 1 の配線のパッド部用凹部 3 a の内側には、 S i O₂ 膜 2 を所定の大きさおよび形状に加工し

て選択的に残す。本実施形態では、図 1 (b), (c) に示すように、略四角柱形状の SiO_2 膜 2 a がパッド部用凹部 3 a 内に縦横に 6 本ずつ、合計 36 本並べられた形状となるように SiO_2 膜 2 をエッチングして残す。この際、選択的に残される SiO_2 膜 2 a は、その大きさが SiO_2 膜 2 a を基に形成される後述するコンタクトホール 9 b の大きさよりも僅かに小さく形成される。具体的には、各 SiO_2 膜 2 a は、高さが約 $0.4 \mu\text{m}$ 、かつ、平面視における寸法が約 $0.15 \mu\text{m} \times 0.15 \mu\text{m}$ となるように形成される。以下の説明において、これらパッド部用凹部 3 a 内に残された SiO_2 膜 2 a を、残存 SiO_2 膜 2 a と称することとする。なお、図 1 (b) は、図 1 (c) 中一点鎖線 A-A に沿って示す断面図である。

【 0 0 2 3 】

次に、図 2 (a) に示すように、 SiO_2 膜 2 の表面上、第 1 の配線用凹部 3 およびパッド部用凹部 3 a の内側に、バリアメタル膜 4 および第 1 の配線 6 の形成材料を順次積層して設ける。具体的には、例えば PVD 法により、 SiO_2 膜 2 の表面上および第 1 の配線用凹部 3 の内側に、先ずバリアメタル膜 4 を成膜する。本実施形態では、バリアメタル膜 4 として導電性を有するセラミック層である TaN 膜を採用する。続けて、同じく PVD 法により、TaN 膜 4 の表面上に第 1 の配線 6 の形成材料である第 1 の導電材料を設ける。本実施形態では、第 1 の配線 6 を銅 (Cu) を用いてめっき法により形成する。具体的には、TaN 膜 4 の表面上に、先ず第 1 の配線 6 の下地となる図示しない Cu めっきシード層 (膜) を成膜する。この後、第 1 の配線用凹部 3 の内側を埋めるように、TaN 膜 4 および Cu めっきシード層を電極として、Cu めっきシード層の表面上に第 1 の配線の形成材料となる Cu 膜 5 を成膜する。

【 0 0 2 4 】

次に、図 2 (b), (c) に示すように、不要な TaN 膜 4 および Cu 膜 5 を除去する。具体的には、CMP 法により、 SiO_2 膜 2 の表面上の TaN 膜 4 および Cu 膜 5 を研磨して除去する。これにより、第 1 の配線用凹部 3 およびパッド部用凹部 3 a の外側の不要な TaN 膜 4 および Cu 膜 5 を SiO_2 膜 2 上から除去して、第 1 の配線用凹部 3 およびパッド部用凹部 3 a の内側にのみ TaN 膜

4 および Cu 膜 5 を残す。すなわち、Ta₂N₅ からなるバリアメタル膜 4 および Cu 膜 5 が SiO₂ 膜 2 内に埋め込まれる。この結果、第 1 の配線として、いわゆる Cu ダマシン配線 6 が SiO₂ 膜 2 内に形成される。この際、Cu ダマシン配線 6 のパッド部 6 a も SiO₂ 膜 2 内に並行して形成される。以下の説明において、Cu ダマシン配線 6 のパッド部 6 a を Cu パッド部 6 a と称することとする。なお、図 2 (b) は、図 2 (c) 中一点鎖線 B-B に沿って示す断面図である。

【 0 0 2 5 】

次に、図 3 (a) に示すように、Cu ダマシン配線 6 などが形成された SiO₂ 膜 2 の表面上に、拡散防止膜（キャッピング層）7 および第 n+1 層目の層間絶縁膜となる第 2 の絶縁膜 8 を順次積層して設ける。第 2 の絶縁膜 8 は、パッド部絶縁膜として機能する。本実施形態では、拡散防止膜 7 として SiN 膜を採用するとともに、第 2 の絶縁膜 8 として SiO₂ 膜を採用する。これら SiN 膜 7 および SiO₂ 膜 8 は、例えば CVD 法によりそれぞれ所望の膜厚となるまで成膜される。

【 0 0 2 6 】

次に、図 3 (b), (c) に示すように、Cu パッド部 6 a 上の SiO₂ 膜 8 から Cu パッド部 6 a 内の残存 SiO₂ 膜 2 a にかけて、後述する第 2 の配線 12 a およびコンタクトプラグ（ヴィアプラグ）12 b を形成するための、第 2 の配線用凹部 9 a およびコンタクトホール（ヴィアホール）9 b を形成する。本実施形態では、コンタクトプラグ 12 b は、第 2 の配線 12 a と一体に形成される。すなわち、第 2 の配線 12 a はいわゆるデュアルダマシン構造（デュアルダマシン配線）に形成される。したがって、第 2 の配線用凹部 9 a をコンタクトホール 9 b に連通させて一体に形成する。

【 0 0 2 7 】

具体的には、第 2 の配線用凹部 9 a およびコンタクトホール 9 b は、例えば RIE 法により、残存 SiO₂ 膜 2 a、残存 SiO₂ 膜 2 a 上の SiN 膜 7、および Cu パッド部 6 a 上の SiO₂ 膜 8 をエッチングして除去することにより形成される。第 2 の配線用凹部 9 a は、Cu パッド部 6 a 上の SiO₂ 膜 8 および Si

N膜7を略全て貫通して形成される。ただし、Cuパッド部6a上のSiN膜7は、Cuパッド部6aの酸化および拡散を防止するために残される。また、コンタクトホール9bは、Cuパッド部6a内の残存SiO₂膜2aを除去することにより形成される。各コンタクトホール9bは、それらの平面視における寸法が約0.2μm×0.2μmとなるように形成される。すなわち、各コンタクトホール9bは、それらの平面視における寸法が四角柱形状の各残存SiO₂膜2aの平面視における寸法よりも若干大きく形成される。

【0028】

また、本実施形態では、コンタクトホール9bを、その底部（下端部）がCuダマシン配線6のパッド部6aの底部（下面）と略同じ高さに位置するように形成する。すなわち、コンタクトホール9bは、Cuパッド部6aを貫通して形成される。これにより、コンタクトプラグ12bを、その底部（下端部）がCuダマシン配線6のパッド部6aの底部（下面）と略同じ高さに位置するように形成する。具体的には、コンタクトホール9bを、その深さがCuダマシン配線6のパッド部6aの厚さと略同じである約0.4μmとなるように形成する。これにより、コンタクトプラグ12bを、その長さがCuダマシン配線6のパッド部6aの厚さと略同じ約0.4μmとなるように形成する。すなわち、コンタクトホール9bは、Cuパッド部6aを貫通して形成される。

【0029】

また、第2の配線用凹部9aとコンタクトホール9bとは、どちらを先に形成しても構わない。コンタクトホール9bを先に形成する場合には、先ず残存SiO₂膜2a、ならびに残存SiO₂膜2a上のSiN膜7およびSiO₂膜8をエッチングして除去する。続けて、Cuパッド部6a上のSiN膜7がエッチングされないように図示しないマスク材などを設けた後、Cuパッド部6a上に残っているSiO₂膜8をエッチングして除去すればよい。あるいは、第2の配線用凹部9aを先に形成する場合には、先ずCuパッド部6a上のSiO₂膜8をエッチングして除去する。続けて、Cuパッド部6a上のSiN膜7がエッチングされないようにマスク材などを設けた後、残存SiO₂膜2aおよび残存SiO₂膜2a上のSiN膜7をエッチングして除去すればよい。なお、図3（b）は、

図 3 (c) 中一点鎖線 C-C に沿って示す断面図である。

【 0 0 3 0 】

次に、図 4 (a), (b) に示すように、 SiO_2 膜 8 の表面上、ならびに第 2 の配線用凹部 9 a およびコンタクトホール 9 b のそれぞれの内側に、バリアメタル膜 4 とは別体のバリアメタル膜 1 0、および第 2 の配線 1 2 a の形成材料を順次積層して設ける。具体的には、例えば PVD 法により、 SiO_2 膜 8 の表面上、ならびに第 2 の配線用凹部 9 a およびコンタクトホール 9 b のそれぞれの内側に、先ずバリアメタル膜 1 0 を成膜する。本実施形態では、バリアメタル膜 4 と同様に、バリアメタル膜 1 0 として導電性を有するセラミック層である TaN 膜を採用する。続けて、同じく PVD 法により、TaN 膜 1 0 の表面上に第 2 の配線 1 2 a の形成材料である第 2 の導電材料を設ける。本実施形態では、第 2 の配線 1 2 a をアルミニウム (Al) を用いて形成する。したがって、第 2 の配線用凹部 9 a およびコンタクトホール 9 b のそれぞれの内側を埋めるように、PVD 法により、TaN 膜 1 0 の表面上に Al 膜 1 1 を所望の膜厚になるまで成膜する。

【 0 0 3 1 】

続けて、不要な TaN 膜 1 0 および Al 膜 1 1 を除去する。具体的には、例えばフォトリソ法により、第 2 の配線 1 2 a の配線パターンを Al 膜 1 1 の表面上にパターニングする。この後、例えば RIE 法により、TaN 膜 1 0 および Al 膜 1 1 を加工し、不要な TaN 膜 1 0 および Al 膜 1 1 を除去する。これにより、第 2 の配線用凹部 9 a 内に TaN 膜 1 0 および Al 膜 1 1 が埋め込まれて、第 2 の配線 1 2 a が形成される。それとともに、コンタクトホール 9 b 内に TaN 膜 1 0 および Al 膜 1 1 が埋め込まれて、コンタクトプラグ 1 2 b が形成される。この結果、第 2 の配線 1 2 a は、Al を用いてコンタクトプラグ 1 2 b と一体に形成されたデュアルダマシン構造に形成される。すなわち、Cu ダマシン配線 6 のパッド部 6 a 上に、第 2 の配線 1 2 a としての、いわゆる Al デュアルダマシン配線 1 2 a が形成される。以下の説明において、Al デュアルダマシン配線 1 2 a のうち、Al コンタクトプラグ 1 2 b および Cu パッド部 6 a 上の Al デュアルダマシン配線 1 2 a を Al パッド部 1 2 c と称することとする。また

、A 1 デュアルダマシン配線 1 2 a を単に A 1 ダマシン配線 1 2 a と称することとする。

【 0 0 3 2 】

図 4 (a) に示すように、A 1 ダマシン配線 1 2 a は、その下面が T a N 膜 1 0 および S i N 膜 7 を介して C u パッド部 6 a の上面と間接的に接触するように形成されている。それとともに、各 A 1 コンタクトプラグ 1 2 b は、それらの底部（下端部）が C u パッド部 6 a の底部（下面）と略同じ高さに位置するように形成されている。すなわち、各 A 1 コンタクトプラグ 1 2 b は、それらの長さが C u パッド部 6 a の厚さと略同じ約 $0.4\ \mu\text{m}$ に形成されている。したがって、各 A 1 コンタクトプラグ 1 2 b は、それらの外側部（外側面）が T a N 膜 4 , 1 0 を介して C u パッド部 6 a の内側部（内側面）と間接的に接触するように形成されている。このように、A 1 パッド部 1 2 c は、C u パッド部 6 a を略貫通して形成された各 A 1 コンタクトプラグ 1 2 b を介して、C u パッド部 6 a に嵌合される形状に形成されている。すなわち、A 1 パッド部 1 2 c と C u パッド部 6 a とは、互いに非平面的に接触する形状に形成されている。

【 0 0 3 3 】

以後、予め決められている所定の工程を経て、図 4 (a) , (b) に示す所望の半導体装置 1 4 を得る。すなわち、A 1 ダマシン配線 1 2 a と C u ダマシン配線 6 とが、それぞれのパッド部 6 a , 1 2 c において立体的に接触した（接続された）構造からなるパッド部 1 3 を有する半導体装置 1 4 を得る。A 1 ダマシン配線 1 2 a と C u ダマシン配線 6 とは、主に各 A 1 コンタクトプラグ 1 2 b を介して電氣的に接続されている。なお、図 4 (a) は、図 4 (b) 中一点鎖線 D - D に沿って示す断面図である。

【 0 0 3 4 】

次に、本発明者らが行った試験およびその結果について、図 4、図 1 3、および図 1 4 を参照しつつ説明する。この試験は、パッド部が互いに異種の材料である C u 配線および A 1 配線により形成された半導体装置の信頼性を、構造および電氣的特性の 2 つの観点から検査および評価するものである。

【 0 0 3 5 】

先ず、第 1 のサンプル（第 1 の実施例）として、前述した図 4 に示す半導体装置 1 4 を採用する。そして、第 2 および第 3 のサンプルとして、図 1 3 に示す従来技術に係る半導体装置 1 0 1、および図 1 4 に示す同じく従来技術に係る半導体装置 2 0 1 を採用する。これら各半導体装置 1 0 1、2 0 1 は、半導体装置 1 4 に対する比較例（比較サンプル）である。以下、これら 2 つの比較例としての半導体装置 1 0 1、2 0 1、およびそれらの製造方法を、製造工程の順番に沿ってそれぞれ簡潔に説明する。

【 0 0 3 6 】

（第 1 比較例）

先ず、図 1 3（a），（b）に示すように、図示しない各種電子回路を構成する能動領域や下層配線などが形成された Si 基板 1 0 2 上に、CVD 法により、層間絶縁膜としての SiO₂ 膜 1 0 3 をその膜厚が約 0.5 μm となるまで成膜する。続けて、フォトリソ法により Cu ダマシン配線 1 0 4 の配線パターンを SiO₂ 膜 1 0 3 の表面上にパターニングした後、CF 系のガスを用いた異方性エッチング（RIE 法）により SiO₂ 膜 1 0 3 を加工して Cu ダマシン配線用凹部 1 1 1 を形成する。この際、図 1 3（b）中 d 1 で示す Cu ダマシン配線用凹部 1 1 1 の深さが約 0.4 μm となるように、かつ、図 1 3（a）中 w 1 で示す Cu ダマシン配線用凹部 1 1 1 の幅が約 0.2 μm となるように SiO₂ 膜 1 0 3 を加工する。

【 0 0 3 7 】

次に、SiO₂ 膜 1 0 3 の表面上および Cu ダマシン配線用凹部 1 1 1 の内側に、PVD 法により、バリアメタル膜としての TaN 膜 1 0 5 および Cu ダマシン配線 1 0 4 の形成材料である Cu 膜 1 1 2 を順次積層して成膜する。Cu 膜 1 1 2 は、TaN 膜 1 0 5 の表面上に、先ず下地となる図示しない Cu めっきシード層（膜）を成膜した後、TaN 膜 1 0 5 および Cu めっきシード層を電極として、Cu ダマシン配線用凹部 1 1 1 の内側を埋めるように成膜される。続けて、CMP 法により、SiO₂ 膜 1 0 3 の表面上の TaN 膜 1 0 5 および Cu 膜 1 1 2 を研磨して除去する。これにより、TaN 膜 1 0 5 および Cu 膜 1 1 2 を SiO₂ 膜 1 0 3 内に埋め込み、Cu ダマシン配線 1 0 4 を形成する。

【 0 0 3 8 】

次に、 SiO_2 膜 1 0 3 および Cu ダマシン配線 1 0 4 などの上に、CVD法により、拡散防止膜（キャッピング層）としての SiN 膜 1 0 6 およびパッド部絶縁膜としての SiO_2 膜 1 0 7 を順次積層して成膜する。続けて、RIE法により、 Cu ダマシン配線 1 0 4 のパッド部 1 0 4 a 上の SiN 膜 1 0 6 および SiO_2 膜 1 0 7 を貫通して、平面視における寸法が Cu パッド部 1 0 4 a の寸法よりも若干小さい約 $40\mu\text{m} \times 40\mu\text{m}$ の単一のパッド部開口部（コンタクトホール、ヴィアホール）1 0 8 を形成する。

【 0 0 3 9 】

次に、 SiO_2 膜 1 0 7 の表面上およびパッド部開口部 1 0 8 の内側に、PVD法により、バリアメタル膜としての TaN 膜 1 0 5 および Al 配線 1 0 9 の形成材料である Al 膜 1 1 3 を順次積層して成膜する。続けて、フォトレジスト法により Al 配線 1 0 9 の配線パターンを Al 膜 1 1 3 の表面上にパターンニングした後、RIE法により、 TaN 膜 1 0 5 および Al 膜 1 1 3 を加工し、不要な TaN 膜 1 0 5 および Al 膜 1 1 3 を除去する。これにより、 Al 配線 1 0 9 を形成する。 Al 配線 1 0 9 のうち、 TaN 膜 1 0 5 を介して Cu パッド部 1 0 4 a に間接的に接触している部分が Al 配線 1 0 9 のパッド部 1 0 9 a となる。この Al パッド部 1 0 9 a は、 Al 配線 1 0 9 が有する 1 個の大きなヴィアプラグ（コンタクトプラグ）とみなすことができる。

【 0 0 4 0 】

図 1 3 (a), (b) に示すように、この半導体装置 1 0 1 では、 Cu パッド部 1 0 4 a および Al パッド部（ Al ヴィアプラグ、 Al コンタクトプラグ）1 0 9 a において、 Cu ダマシン配線 1 0 4 と Al 配線 1 0 9 とが、 TaN 膜 1 0 5 を介して間接的に、かつ、略平面形状で接触している。すなわち、半導体装置 1 0 1 のパッド部 1 1 0 は、 Cu ダマシン配線 1 0 4 と Al 配線 1 0 9 とが TaN 膜 1 0 5 を介して間接的に、かつ、略平面的に接触する構造に形成されている。なお、図 1 3 (b) は、図 1 3 (a) 中一点鎖線 X-X に沿って示す断面図である。

【 0 0 4 1 】

(第2比較例)

先ず、図14(a), (b)に示すように、図示しない各種電子回路を構成する能動領域や下層配線などが形成されたSi基板202上に、CVD法により、層間絶縁膜としてのSiO₂膜203をその膜厚が約0.5μmとなるまで成膜する。続けて、フォトレジスト法によりCuダマシン配線204の配線パターンをSiO₂膜203の表面上にパターンニングした後、CF系のガスを用いた異方性エッチング(RIE法)によりSiO₂膜203を加工してCuダマシン配線用凹部211を形成する。この際、図14(b)中d2で示すCuダマシン配線用凹部211の深さが約0.4μmとなるように、かつ、図14(a)中w2で示すCuダマシン配線用凹部211の幅が約0.2μmとなるようにSiO₂膜203を加工する。

【0042】

次に、SiO₂膜203の表面上およびCuダマシン配線用凹部211の内側に、PVD法により、バリアメタル膜としてのTa₂N膜205およびCuダマシン配線204の形成材料であるCu膜212を順次積層して成膜する。Cu膜212は、Ta₂N膜205の表面上に、先ず下地となる図示しないCuめっきシード層(膜)を成膜した後、Ta₂N膜205およびCuめっきシード層を電極として、Cuダマシン配線用凹部211の内側を埋めるように成膜される。続けて、CMP法により、SiO₂膜203の表面上のTa₂N膜205およびCu膜212を研磨して除去する。これにより、Ta₂N膜205およびCu膜212をSiO₂膜203内に埋め込み、Cuダマシン配線204を形成する。

【0043】

次に、SiO₂膜203およびCuダマシン配線204などの上に、CVD法により、拡散防止膜(キャッピング層)としてのSi₃N₄膜206およびパッド部絶縁膜としてのSiO₂膜207を順次積層して成膜する。続けて、RIE法により、Cuダマシン配線204のパッド部204a上のSi₃N₄膜206およびSiO₂膜207を加工して、ダマシン配線用凹部208aおよびヴィアホール(コンタクトホール)208bを形成する。この半導体装置201では、ヴィアプラグ209bは、ダマシン配線209aと一体に形成される。すなわち、Alダ

マシン配線 2 0 9 a はいわゆるデュアルダマシン構造（デュアルダマシン配線）に形成される。したがって、ダマシン配線用凹部 2 0 8 a をヴィアホール 2 0 8 b に連通させて一体に形成する。

【 0 0 4 4 】

また、この半導体装置 2 0 1 では、そのパッド部 2 1 0 を平面視における寸法が約 $40\mu\text{m} \times 40\mu\text{m}$ となるように形成する。そして、そのパッド部 2 1 0 内に、平面視における寸法が約 $1\mu\text{m} \times 1\mu\text{m}$ であるヴィアプラグ 2 0 9 b を 4 0 0 個形成する。したがって、Cu パッド部 2 0 4 a 上の約 $40\mu\text{m} \times 40\mu\text{m}$ の範囲内に、平面視における寸法が約 $1\mu\text{m} \times 1\mu\text{m}$ であるヴィアホール 2 0 8 b を 4 0 0 個形成する。ただし、図 1 4 (a) においては、ヴィアプラグ 2 0 9 b を 3 6 個だけ描いて簡略して示す。

【 0 0 4 5 】

次に、 SiO_2 膜 2 0 7 の表面上、ならびに Al ダマシン配線用凹部 2 0 8 a およびヴィアホール 2 0 8 b のそれぞれの内側に、PVD 法により、バリアメタル膜としての TaN 膜 2 0 5、ならびにダマシン配線 2 0 9 a およびヴィアプラグ 2 0 9 b の形成材料である Al 膜 2 1 3 を順次積層して成膜する。続けて、フォトリソ法によりダマシン配線 2 0 9 の配線パターンを Al 膜 2 1 3 の表面上にパターニングした後、RIE 法により、TaN 膜 2 0 5 および Al 膜 2 1 3 を加工し、不要な TaN 膜 2 0 5 および Al 膜 2 1 3 を除去する。これにより、ダマシン配線 2 0 9 a は、ヴィアプラグ 2 0 9 b と一体に形成された、Al デュアルダマシン配線 2 0 9 a として形成される。以下の説明において、Al デュアルダマシン配線 2 0 9 a を単に Al ダマシン配線 2 0 9 a と称することとする。Al ダマシン配線 2 0 9 a のうち、Al ヴィアプラグ 2 0 9 b および Cu パッド部 2 0 4 a 上の Al ダマシン配線 2 0 9 a が、Al ダマシン配線 2 0 9 のパッド部 2 0 9 c となる。

【 0 0 4 6 】

図 1 4 (a) , (b) に示すように、この半導体装置 2 0 1 では、4 0 0 個の Al ヴィアプラグ 2 0 9 b は、それらの下端部において Cu パッド部 2 0 4 a の上面と TaN 膜 1 0 5 を介して間接的に接触している。すなわち、半導体装置 2

01のパッド部210は、第1比較例の半導体装置101のパッド部110に比べると、Cuパッド部204aとAlパッド部209cとがTa₂N膜105を介して間接的に、かつ、略点接触する構造に形成されている。この結果、半導体装置201のパッド部210は、第1比較例の半導体装置101のパッド部110に比べて、Cuダマシン配線204とAlダマシン配線209aとの接触面積が低減されている。ただし、各Alヴィアプラグ209b同士の間、およびCuダマシン配線204とAlダマシン配線209aとの間には、Cuダマシン配線204とAlダマシン配線209aとの密着性を確保するために、Si₃N₄膜206およびSiO₂膜207が残されて（保持されて）いる。なお、図14（b）は、図14（a）中一点鎖線Y-Yに沿って示す断面図である。

【0047】

以上説明した第1～第3のサンプルである半導体装置14、101、201のそれぞれのパッド部13、110、210（Alパッド部12c、109a、209c）に対して、機械的強度および電気的特性を調べる試験をそれぞれ同一条件下において行った。

【0048】

まず、第1の実施例である100個の半導体装置14に対して、パッド部13（Alパッド部12c）で機械的強度の評価を行った。すると、それらの全てのパッド部13でAlダマシン配線12aとCuダマシン配線6との剥がれがないことが確認された。また、100個の半導体装置14に対して、それらの全てのパッド部13でエレクトロマイグレーション（EM）耐性を評価した。すると、それらの全てのパッド部13で許容電流密度が8mA/μm²あることが確認された。

【0049】

次に、第1比較例である100個の半導体装置101に対して、パッド部110（Alパッド部109a）で機械的強度の評価を行った。すると、10個の半導体装置101のパッド部110で、Alダマシン配線109とCuダマシン配線104との間のTa₂N膜105と、Cuダマシン配線6の上面との界面で剥がれが生じていることが確認された。また、100個の半導体装置14に対して、

それらの全てのパッド部 1 1 0 でエレクトロマイグレーション (EM) 耐性を評価した。すると、それらの全てのパッド部 1 1 0 で許容電流密度が $4 \text{ mA} / \mu \text{ m}^2$ と第 1 実施例に比較して低かった。それとともに、寿命も短いことが確認された。

【 0 0 5 0 】

そして、第 2 比較例である 1 0 0 個の半導体装置 2 0 1 に対して、パッド部 2 1 0 (A 1 パッド部 2 0 9 c) で機械的強度の評価を行った。すると、それらの全てのパッド部 2 1 0 で A 1 ダマシン配線 2 0 9 と C u ダマシン配線 2 0 4 との剥がれがないことが確認された。また、1 0 0 個の半導体装置 2 0 1 に対して、それらの全てのパッド部 2 1 0 でエレクトロマイグレーション (EM) 耐性を評価した。すると、それらの全てのパッド部 2 1 0 で許容電流密度が $2 \text{ mA} / \mu \text{ m}^2$ と第 1 比較例よりもさらに低かった。それとともに、第 1 比較例と同様に寿命も短いことが確認された。

【 0 0 5 1 】

以上説明したように、この第 1 実施形態によれば、A 1 デュアルダマシン配線 1 2 a は、その下面が A 1 パッド部 1 2 c において C u パッド部 6 a (C u ダマシン配線 6) の上面と間接的に接触するように形成されている。また、各 A 1 コンタクトプラグ 1 2 b は、それらの外側面が C u パッド部 6 a の内側面と間接的に接触するように形成されている。すなわち、各 A 1 プラグ部 1 2 b は、その断面視がいわゆる楔形状または櫛歯形状に形成されており、C u パッド部 6 a に嵌合している。この結果、A 1 デュアルダマシン配線 1 2 a と C u ダマシン配線 6 とは互いに立体的に、かつ、間接的に接触している。

【 0 0 5 2 】

このように、本実施形態に係る半導体装置 1 4 では、そのパッド部 1 3 において A 1 デュアルダマシン配線 1 2 a と C u ダマシン配線 6 との接触面積が増大されている。これにより、A 1 配線と C u 配線とがパッド部において互いに平面的に接触している従来技術に係る半導体装置に比べて、パッド部 1 3 における A 1 デュアルダマシン配線 1 2 a と C u ダマシン配線 6 との密着性 (密着強度) が向上されている。また、パッド部 1 3 において単位面積あたりの電流密度が小さく

なり、エレクトロマイグレーションに対する耐性が向上されており、A l デュアルダマシン配線 1 2 a と C u ダマシン配線 6 との間の導電性が向上されている。

【 0 0 5 3 】

すなわち、半導体装置 1 4 では、そのパッド部 1 3 において A l デュアルダマシン配線 1 2 a および C u ダマシン配線 6 などの導電体同士の界面で剥がれが生じるおそれが殆ど無いとともに、適正な E M 耐性を確保することができる。したがって、本実施形態に係る半導体装置 1 4 では、パッド部 1 3 における配線同士の密着性および配線間の導電性の向上が図られており、信頼性が向上されている。また、本実施形態に係る半導体装置の製造方法によれば、以上説明した半導体装置 1 4 を容易に製造できる。

【 0 0 5 4 】

(第 2 の実施の形態)

次に、本発明に係る第 2 実施形態を図 5 および図 6 を参照しつつ説明する。図 5 は、本実施形態に係る半導体装置の製造方法を示す工程断面図である。図 6 は、本実施形態に係る半導体装置およびその製造方法を示す工程断面図および平面図である。なお、第 1 実施形態と同一部分には同一符号を付してその詳しい説明を省略する。

【 0 0 5 5 】

本実施形態では、前述した第 1 実施形態と同様に、第 2 の配線をデュアルダマシン構造に形成する。以下、本実施形態の半導体装置およびその製造方法を、製造工程の順番に沿ってまとめて説明する。

【 0 0 5 6 】

先ず、図 5 (a) に示すように、第 1 実施形態と同様の工程により、C u ダマシン配線 6 などが形成された S i O₂ 膜 2 の上に、S i N 膜 7 および S i O₂ 膜 8 を順次積層して設ける。

【 0 0 5 7 】

次に、図 5 (b) に示すように、C u パッド部 6 a 上の S i O₂ 膜 8 の上面から C u パッド部 6 a 内の残存 S i O₂ 膜 2 の内部にかけて、第 2 の配線用凹部 2 2 a およびコンタクトホール 2 2 b を形成する。前述した第 1 実施形態の第 2 の

配線 1 2 a と同様に、本実施形態の第 2 の配線 2 5 a も、コンタクトプラグ 2 5 b と一体に形成される。すなわち、第 2 の配線 2 5 a はデュアルダマシン構造（デュアルダマシン配線）に形成される。したがって、第 2 の配線用凹部 2 2 a をコンタクトホール 2 2 b に連通させて一体に形成する。

【 0 0 5 8 】

具体的には、第 2 の配線用凹部 2 2 a およびコンタクトホール 2 2 b は、R I E 法により、残存 SiO_2 膜 2 a、残存 SiO_2 膜 2 a 上の SiN 膜 7、および Cu パッド部 6 a 上の SiO_2 膜 8 をエッチングして除去することにより形成される。この際、第 2 の配線用凹部 2 2 a は、 Cu パッド部 6 a の上方において、 SiO_2 膜 8 をその上面（表面）から内部（中間部）にかけて除去することにより形成される。すなわち、第 2 の配線用凹部 2 2 a は、 SiO_2 膜 8 を貫通しない形状に形成される。したがって、 Cu パッド部 6 a 上には、 SiN 膜 7 および SiO_2 膜 8 が残される。これにより、第 2 の配線 2 5 a は、その下面を第 1 の配線である Cu ダマシン配線 6 のパッド部 6 a の上面から離間されて形成される。

【 0 0 5 9 】

コンタクトホール 2 2 b は、第 2 の配線用凹部 2 2 a の底部に連通するように、残存 SiO_2 膜 2 a、残存 SiO_2 膜 2 a 上の SiN 膜 7、および残存 SiO_2 膜 2 a 上の SiO_2 膜 8 をエッチングして除去することにより形成される。本実施形態のコンタクトホール 2 2 b も、前述した第 1 実施形態のコンタクトホール 9 b と同様に、それらの底部（下端部）が Cu パッド部 6 a の下面（下端部）と略同じ高さに位置するように形成される。すなわち、コンタクトホール 2 2 b は、 Cu パッド部 6 a を貫通して形成される。また、第 2 の配線用凹部 2 2 a およびコンタクトホール 2 2 b は、第 1 実施形態の第 2 の配線用凹部 9 a およびコンタクトホール 9 b と同様に、どちらを先に形成しても構わない。

【 0 0 6 0 】

次に、図 5（c）に示すように、 SiO_2 膜 8 の表面上、ならびに第 2 の配線用凹部 2 2 a およびコンタクトホール 2 2 b のそれぞれの内側に、バリアメタル膜 4 とは別体のバリアメタル膜 2 3 および第 2 の配線 2 5 a の形成材料を順次積層して設ける。具体的には、PVD 法により、 SiO_2 膜 8 の表面上、ならびに

第2の配線用凹部22aおよびコンタクトホール22bのそれぞれの内側に、先ずバリアメタル膜としてのTaN膜23を成膜する。続けて、同じくPVD法により、第2の配線用凹部22aおよびコンタクトホール22bそれぞれの内側を埋めるように、TaN膜23の表面上に第2の配線25aの形成材料としてのAl膜24を所望の膜厚になるまで成膜する。

【0061】

次に、図6(a)に示すように、不要なTaN膜23およびAl膜24を除去する。具体的には、フォトリソ法により、第2の配線25aの配線パターンをAl膜24の表面上にパターニングする。この後、RIE法により、TaN膜23およびAl膜24を加工し、不要なTaN膜23およびAl膜24を除去する。これにより、第2の配線用凹部22a内にTaN膜23およびAl膜24が埋め込まれて、第2の配線25aが形成される。それとともに、コンタクトホール22b内にTaN膜23およびAl膜24が埋め込まれて、コンタクトプラグ25bが形成される。この結果、第2の配線25aは、Alを用いてコンタクトプラグ25bと一体に形成されたデュアルダマシン構造に形成される。すなわち、Cuダマシン配線6のパッド部6a上に、第2の配線25aとしての、Alデュアルダマシン配線25aが形成される。以下の説明において、Alデュアルダマシン配線25aのうち、Alコンタクトプラグ25bおよびCuパッド部6a上のAlデュアルダマシン配線25aをAlパッド部25cと称することとする。また、Alデュアルダマシン配線25aを単にAlダマシン配線25aと称することとする。

【0062】

以後、予め決められている所定の工程を経て、図6(a)，(b)に示す所望の半導体装置21を得る。すなわち、Alパッド部25cの下面がCuパッド部6aの上面から離間されているとともに、Alパッド部25cとCuパッド部6aとがAlコンタクトプラグ25bを介して立体的に接触した（接続された）構造からなるパッド部26を有する半導体装置21を得る。Alダマシン配線25aとCuダマシン配線6とは、各Alコンタクトプラグ25bを介して電氣的に接続されている。なお、図6(a)は、図6(b)中一点鎖線E-Eに沿って示

す断面図である。

【 0 0 6 3 】

以上説明したように、この第 2 実施形態によれば、前述した第 1 実施形態と同様の効果を得ることができる。また、Cu パッド部 6 a 上には、SiN 膜 7 および SiO₂ 膜 8 が残されている。すなわち、Al パッド部 2 5 c の下面と Cu パッド部 6 a の上面との間には、SiN 膜 7 および SiO₂ 膜 8 からなる絶縁膜の積層膜が挟まれている（保持されている）。これにより、Cu パッド部 6 a と Al パッド部 2 5 c との密着性（密着力）がより向上されている。すなわち、半導体装置 2 1 のパッド部 2 6 における耐久性および信頼性がより向上されている。

【 0 0 6 4 】

（第 3 の実施の形態）

次に、本発明に係る第 3 実施形態を図 7 ～図 9 を参照しつつ説明する。図 7 および図 8 は、本実施形態に係る半導体装置の製造方法を示す工程断面図である。図 9 は、本実施形態に係る半導体装置およびその製造方法を示す工程断面図および平面図である。なお、第 1 実施形態と同一部分には同一符号を付してその詳しい説明を省略する。

【 0 0 6 5 】

本実施形態では、前述した第 1 および第 2 実施形態と異なり、第 2 の配線をいわゆるシングルダマシン構造に形成する。以下、本実施形態の半導体装置およびその製造方法を、製造工程の順番に沿ってまとめて説明する。

【 0 0 6 6 】

まず、図 7（a）に示すように、第 1 および第 2 の実施形態と同様の工程により、Cu ダマシン配線 6 などが形成された SiO₂ 膜 2 の上に、SiN 膜 7 および SiO₂ 膜 8 を順次積層して設ける。続けて、Cu パッド部 6 a 上の SiO₂ 膜 8 から Cu パッド部 6 a 内の残存 SiO₂ 膜 2 a にかけて、コンタクトホール 3 2 b を形成する。第 1 実施形態の第 2 の配線 1 2 a および第 2 実施形態の第 2 の配線 2 5 a と異なり、本実施形態の第 2 の配線 3 5 a は、コンタクトプラグ 3 5 b と別体に形成される。すなわち、第 2 の配線 3 5 a はいわゆるシングルダマシン構造（シングルダマシン配線）に形成される。したがって、コンタクトホール

3 2 b を、第 2 の配線用凹部 3 2 a と別体に形成する。具体的には、残存 SiO_2 膜 2 a 上の SiN 膜 7 および SiO_2 膜 8 を貫通するように、R I E 法により、残存 SiO_2 膜 2 a、残存 SiO_2 膜 2 a 上の SiN 膜 7、および残存 SiO_2 膜 2 a 上の SiO_2 膜 8 をエッチングして除去する。これにより、コンタクトホール 3 2 b が形成される。本実施形態のコンタクトホール 3 2 b も、前述した第 1 および第 2 の各実施形態のコンタクトホール 9 b、2 2 b と同様に、それらの底部（下端部）が Cu パッド部 6 a の下面（下端部）と略同じ高さに位置するように形成される。すなわち、コンタクトホール 3 2 b は、 Cu パッド部 6 a を貫通して形成される。

【 0 0 6 7 】

次に、図 7（b）に示すように、 SiO_2 膜 8 の表面上およびコンタクトホール 3 2 b の内側に、バリアメタル膜 4 とは別体のバリアメタル膜 3 3、およびコンタクトプラグ 3 5 b の形成材料を順次積層して設ける。具体的には、P V D 法により、 SiO_2 膜 8 の表面上およびコンタクトホール 3 2 b の内側に、先ずバリアメタル膜としての TaN 膜 3 3 を成膜する。続けて、同じく P V D 法により、コンタクトホール 3 2 b の内側を埋めるように、 TaN 膜 3 3 の表面上にコンタクトプラグ 3 5 b の形成材料としての Al 膜 3 4（第 2 の導電材料）を所望の膜厚になるまで成膜する。

【 0 0 6 8 】

次に、図 7（c）に示すように、不要な TaN 膜 3 3 および Al 膜 3 4 を除去する。具体的には、CMP 法により、 SiO_2 膜 8 の表面上の不要な TaN 膜 3 3 および Al 膜 3 4 を研磨して除去する。これにより、コンタクトホール 3 2 b 内に TaN 膜 3 3 および Al 膜 3 4 が埋め込まれて、コンタクトプラグ 3 5 b が形成される。

【 0 0 6 9 】

次に、図 8（a）に示すように、コンタクトプラグ 3 5 b などが形成された SiO_2 膜 8 の表面上に、例えば C V D 法により第 3 の絶縁膜 3 6 を所望の膜厚になるまで成膜する。本実施形態では、第 3 の絶縁膜 3 6 として SiO_2 膜を採用する。

【 0 0 7 0 】

次に、図 8 (b) に示すように、コンタクトプラグ 3 5 b の上方、すなわち Cu パッド部 6 a の上方に第 2 の配線用凹部 3 2 a を形成する。具体的には、SiO₂ 膜 8 およびコンタクトプラグ 3 5 b の表面を露出するように、例えば R I E 法により、Cu パッド部 6 a の上方の SiO₂ 膜 3 6 のみをエッチングして除去する。これにより、SiO₂ 膜 3 6 を貫通して第 2 の配線用凹部 3 2 a が形成される。また、Cu パッド部 6 a 上には、SiN 膜 7 および SiO₂ 膜 8 が残される。これにより、第 2 の配線 3 5 a は、その下面を第 1 の配線である Cu ダマシン配線 6 のパッド部 6 a の上面から離間されて形成される。

【 0 0 7 1 】

次に、図 8 (c) に示すように、SiO₂ 膜 3 6 の表面上および第 2 の配線用凹部 3 2 a の内側に、第 2 の配線 3 5 a の形成材料を設ける。具体的には、SiO₂ 膜 8 の表面上および第 2 の配線用凹部 3 2 a の内側に、P V D 法により、第 2 の配線 3 5 a の形成材料である第 3 の導電材料の膜 3 7 を所望の膜厚になるまで成膜する。本実施形態では、第 2 の配線 3 5 a をコンタクトプラグ 3 5 b と同じ材料である A 1 により形成する。したがって、第 3 の導電材料は、第 2 の導電材料と同じ A 1 とする。すなわち、SiO₂ 膜 8 の表面上および第 2 の配線用凹部 3 2 a の内側には、A 1 膜 3 7 が成膜される。また、本実施形態では、第 2 の配線 3 5 a とコンタクトプラグ 3 5 b とを共に A 1 により形成するので、第 2 の配線 3 5 a の周囲には、バリアメタル膜を形成する必要は無い。

【 0 0 7 2 】

次に、図 9 (a) に示すように、不要な A 1 膜 3 7 を除去する。具体的には、フォトリソ法により、第 2 の配線 3 5 a の配線パターンを A 1 膜 3 7 の表面上にパターニングする。この後、R I E 法により、A 1 膜 3 7 を加工し、不要な A 1 膜 3 7 を除去する。これにより、第 2 の配線用凹部 3 2 a 内に A 1 膜 3 7 が埋め込まれて、第 2 の配線 3 5 a が形成される。この結果、第 2 の配線 3 5 a は、A 1 を用いてコンタクトプラグ 3 5 b と別体に形成された、いわゆるシングルダマシン構造に形成される。すなわち、Cu ダマシン配線 6 のパッド部 6 a 上に、第 2 の配線 3 5 a としての、A 1 シングルダマシン配線 3 5 a が形成される。

以下の説明において、A 1 シングルダマシン配線 3 5 a のうち、A 1 コンタクトプラグ 3 5 b および C u パッド部 6 a 上の A 1 シングルダマシン配線 3 5 a を A 1 パッド部 3 5 c と称することとする。また、A 1 シングルダマシン配線 3 5 a を単に A 1 ダマシン配線 3 5 a と称することとする。

【 0 0 7 3 】

以後、予め決められている所定の工程を経て、図 9 (a) , (b) に示す所望の半導体装置 3 1 を得る。すなわち、A 1 ダマシン配線 3 5 a がシングルダマシン構造に形成されているとともに、A 1 パッド部 3 5 c の下面が C u パッド部 6 a の上面から離間されており、かつ、A 1 パッド部 3 5 c と C u パッド部 6 a とが A 1 コンタクトプラグ 3 5 b を介して立体的に接触した（接続された）構造からなるパッド部 3 8 を有する半導体装置 3 1 を得る。A 1 ダマシン配線 3 5 a と C u ダマシン配線 6 とは、各 A 1 コンタクトプラグ 3 5 b を介して電氣的に接続されている。なお、図 9 (a) は、図 9 (b) 中一点鎖線 F - F に沿って示す断面図である。

【 0 0 7 4 】

以上説明したように、この第 3 実施形態によれば、第 2 の配線としての A 1 ダマシン配線 3 5 a がシングルダマシン構造に形成されていても、前述した第 1 および第 2 の各実施形態と同様の効果を得ることができる。

【 0 0 7 5 】

(第 4 の実施の形態)

次に、本発明に係る第 4 実施形態を図 1 0 ～図 1 2 を参照しつつ説明する。図 1 0 および図 1 1 は、本実施形態に係る半導体装置の製造方法を示す工程断面図である。図 1 2 は、本実施形態に係る半導体装置およびその製造方法を示す工程断面図および平面図である。なお、第 1 実施形態と同一部分には同一符号を付してその詳しい説明を省略する。

【 0 0 7 6 】

本実施形態では、前述した第 1 および第 2 の各実施形態と同様に、第 2 の配線をデュアルダマシン構造に形成する。ただし、コンタクトプラグを 1 個だけ形成する。以下、本実施形態の半導体装置およびその製造方法を、製造工程の順番に

沿ってまとめて説明する。

【 0 0 7 7 】

先ず、図 1 0 (a) に示すように、第 1 実施形態と同様の工程により、S i 基板 1 の表面上に S i O₂ 膜 2 を成膜する。続けて、フォトレジスト法により、第 1 の配線 4 5 の配線パターンを S i O₂ 膜 2 上にパターンニングした後、R I E 法により S i O₂ 膜 2 を加工して第 1 の配線用凹部 4 2 を形成する。この際、第 1 の配線のパッド部用凹部 4 2 a の内側に、略四角柱形状の残存 S i O₂ 膜 2 a が 1 本だけ形成されるように S i O₂ 膜 2 をエッチングする。

【 0 0 7 8 】

次に、図 1 0 (b) に示すように、P V D 法により、S i O₂ 膜 2 の表面上、第 1 の配線用凹部 4 2 およびパッド部用凹部 4 2 a の内側に、先ずバリア金属材料としての T a N 膜 4 3 を成膜する。続けて、同じく P V D 法により、T a N 膜 4 3 の表面上に、第 1 の配線 4 5 の下地となる図示しない C u めっきシード層（膜）を成膜する。この後、第 1 の配線用凹部 4 2 およびパッド部用凹部 4 2 a のそれぞれの内側を埋めるように、T a N 膜 4 3 および C u めっきシード層を電極として、C u めっきシード層の表面上に第 1 の配線の形成材料としての C u 膜 4 4 （第 1 の導電材料）を成膜する。

【 0 0 7 9 】

次に、図 1 0 (c) に示すように、CMP 法により、S i O₂ 膜 2 の表面上の不要な T a N 膜 4 3 および C u 膜 4 4 を研磨して除去する。これにより、第 1 の配線用凹部 4 2 およびパッド部用凹部 4 2 a の内側に T a N 膜 4 3 および C u 膜 4 4 を埋め込んで、第 1 の配線としての C u ダマシン配線 4 5 およびその C u パッド部 4 5 a を形成する。C u ダマシン配線 4 5 と C u パッド部 4 5 a とは並行して形成される。

【 0 0 8 0 】

次に、図 1 0 (d) に示すように、C u ダマシン配線 4 5 などが形成された S i O₂ 膜 2 の表面上に、C V D 法により、S i N 膜 7 および第 2 の絶縁膜としての S i O₂ 膜 8 を順次積層して設ける。

【 0 0 8 1 】

次に、図 1 1 (a) に示すように、Cu パッド部 4 5 a 上の SiO₂ 膜 8 から Cu パッド部 4 5 a 内の残存 SiO₂ 膜 2 a にかけて、コンタクトホール 4 6 b を形成する。具体的には、RIE 法により、残存 SiO₂ 膜 2 a、残存 SiO₂ 膜 2 a 上の SiN 膜 7、および残存 SiO₂ 膜 2 a 上の SiO₂ 膜 8 をエッチングして除去する。これにより、コンタクトホール 4 6 b が形成される。本実施形態のコンタクトホール 4 6 b も、前述した第 1 ～ 第 3 の各実施形態のコンタクトホール 9 b、2 2 b、3 2 b と同様に、その底部（下端部）が Cu パッド部 4 5 a の下面（下端部）と略同じ高さに位置するように形成される。すなわち、コンタクトホール 4 6 b は、Cu パッド部 4 5 a を貫通して形成される。

【 0 0 8 2 】

次に、図 1 1 (b) に示すように、コンタクトホール 4 6 b の上方に第 2 の配線用凹部 4 6 a を形成する。前述した第 1 および第 2 の各実施形態の第 2 の配線 1 2 a、2 5 a と同様に、本実施形態の第 2 の配線 4 9 a も、コンタクトプラグ部 4 9 b と一体に形成される。すなわち、第 2 の配線 4 9 a はデュアルダマシン構造（デュアルダマシン配線）に形成される。したがって、第 2 の配線用凹部 4 6 a をコンタクトホール 4 6 b に連通させて一体に形成する。具体的には、コンタクトホール 4 6 b の開口部を広げるように、RIE 法により、SiO₂ 膜 8 をその上面（表面）から内部（中間部）にかけてエッチングして除去する。これにより、コンタクトホール 4 6 b の上端部と連通する第 2 の配線用凹部 4 6 a が形成される。

【 0 0 8 3 】

第 2 の配線用凹部 4 6 a は、SiO₂ 膜 8 を貫通しない形状に形成される。したがって、Cu パッド部 4 5 a 上には、SiN 膜 7 および SiO₂ 膜 8 が残される。これにより、第 2 の配線 4 9 a は、その下面を第 1 の配線である Cu ダマシン配線 6 のパッド部 4 5 a の上面から離間されて形成される。また、第 2 の配線用凹部 4 6 a およびコンタクトホール 4 6 b は、第 1 実施形態の第 2 の配線用凹部 9 a およびコンタクトホール 9 b、ならびに第 2 実施形態の第 2 の配線用凹部 2 2 a およびコンタクトホール 2 2 b と同様に、どちらを先に形成しても構わない。

【 0 0 8 4 】

次に、図 1 1 (c) に示すように、 SiO_2 膜 8 の表面上、ならびに第 2 の配線用凹部 4 6 a およびコンタクトホール 4 6 b のそれぞれの内側に、バリアメタル膜 4 3 とは別体のバリアメタル膜 4 7 および第 2 の配線 4 9 a の形成材料を順次積層して設ける。具体的には、PVD 法により、 SiO_2 膜 8 の表面上、ならびに第 2 の配線用凹部 4 6 a およびコンタクトホール 4 6 b のそれぞれの内側に、先ずバリアメタル膜としての TaN 膜 4 7 を成膜する。続けて、同じく PVD 法により、第 2 の配線用凹部 4 6 a およびコンタクトホール 4 6 b のそれぞれの内側を埋めるように、TaN 膜 4 7 の表面上に第 2 の配線 4 9 a の形成材料としての Al 膜 4 8 (第 2 の導電材料) を所望の膜厚になるまで成膜する。

【 0 0 8 5 】

次に、図 1 2 (a) に示すように、不要な TaN 膜 4 7 および Al 膜 4 8 を除去する。具体的には、フォトリソ法により、第 2 の配線 4 9 a の配線パターンを Al 膜 4 8 の表面上にパターニングする。この後、RIE 法により、TaN 膜 4 7 および Al 膜 4 8 を加工し、不要な TaN 膜 4 7 および Al 膜 4 8 を除去する。これにより、第 2 の配線用凹部 4 6 a 内に TaN 膜 4 7 および Al 膜 4 8 が埋め込まれて、第 2 の配線 4 9 a が形成される。それとともに、コンタクトホール 4 6 b 内に TaN 膜 4 7 および Al 膜 4 8 が埋め込まれて、コンタクトプラグ 4 9 b が形成される。この結果、第 2 の配線 4 9 a は、Al を用いてコンタクトプラグ 4 9 b と一体に形成されたデュアルダマシン構造に形成される。すなわち、Cu ダマシン配線 4 5 のパッド部 4 5 a 上に、第 2 の配線 4 9 a としての、Al デュアルダマシン配線 4 9 a が形成される。以下の説明において、Al デュアルダマシン配線 4 9 a のうち、Al コンタクトプラグ 4 9 b および Cu パッド部 4 5 a 上の Al デュアルダマシン配線 4 9 a を Al パッド部 4 9 c と称することとする。また、Al デュアルダマシン配線 4 9 a を単に Al ダマシン配線 4 9 a と称することとする。

【 0 0 8 6 】

以後、予め決められている所定の工程を経て、図 1 2 (a), (b) に示す所望の半導体装置 4 1 を得る。すなわち、Al パッド部 4 9 c の下面が Cu パッド

部 4 5 a の上面から離間されているとともに、A l パッド部 4 9 c と C u パッド部 4 5 a とが一本の A l コンタクトプラグ 4 9 b を介して立体的に接触した（接続された）構造からなるパッド部 5 0 を有する半導体装置 4 1 を得る。A l ダマシン配線 4 9 a と C u ダマシン配線 6 とは、一本の A l コンタクトプラグ 4 9 b を介して電氣的に接続されている。なお、図 1 2 （a）は、図 1 2 （b）中一点鎖線 G - G に沿って示す断面図である。

【 0 0 8 7 】

以上説明したように、この第 4 実施形態によれば、A l コンタクトプラグ 4 9 b がたとえ一本であっても、A l ダマシン配線 4 9 a と C u ダマシン配線 4 5 とが互いに立体的に接続されているとともに、A l パッド部 4 9 c の下面と C u パッド部 6 a の上面との間に絶縁膜が挟まれて（保持されて）いるので、前述した第 1 ～第 3 の各実施形態と同様の効果を得ることができる。

【 0 0 8 8 】

なお、本発明に係る半導体装置およびその製造方法は、前述した第 1 ～第 4 の各実施形態には制約されない。本発明の趣旨を逸脱しない範囲で、それらの構成、あるいは工程などの一部を種々様々な設定に変更したり、あるいは各種設定を適宜、適当に組み合わせて用いたりして実施することができる。

【 0 0 8 9 】

例えば、コンタクトプラグの長さは、第 1 の配線の厚さと略同じ大きさには限られない。コンタクトプラグの長さは、第 1 の配線の厚さより短くても、あるいは長くても構わない。第 2 の配線と第 1 の配線とが互いに立体的に接触できる長さに形成されていればよい。ただし、コンタクトプラグの長さを、第 1 の配線の厚さより長く形成することにより、コンタクトプラグを第 1 の絶縁膜に間接的に接触させて、第 2 の配線と第 1 の配線との密着性（密着力）をより向上させることができる。

【 0 0 9 0 】

また、コンタクトプラグの形状は、四角柱形状には限られない。円柱形状、楕円柱形状、三角柱形状、あるいは多角柱形状でも構わない。さらに、第 2 の配線のプラグ部は、例えばその平面視において、直線形状あるいは非直線形状からな

る所定の文字、図形、あるいは数字などを模した形状に形成されても構わない。第2の配線と第1の配線とが互いに立体的に接触できる形状に形成されていればよい。コンタクトプラグの数も適宜、適正な値に設定して構わない。

【0091】

また、第2の配線はアルミニウム単体で形成される必要は無い。第2の配線は、導電性が高く、かつ、酸化され難い材料により形成されていればよい。例えば、第2の配線のうち、大気中に露出される本体部をアルミニウムを含む化合物により形成しても構わない。また、第3実施形態のシングルダマシン構造を有する第2の配線では、その本体部とプラグ部とを互いに異なる材料により形成しても構わない。

【0092】

さらに、第1の配線のパッド部およびその内部に形成されるコンタクトホールは、前述した第1～第4の各実施形態とは異なる工程によって形成しても構わない。例えば、第1の配線のパッド部を形成する際に、パッド部用凹部内の第1の絶縁膜を全て除去する。そして、パッド部用凹部内を全て第1の導電材料により埋め込んで第1の配線のパッド部を形成する。この段階において、第1の配線のパッド部内には第1の絶縁膜は残っていない。この後、第1の配線のパッド部に所望の大きさ、形状、および個数のコンタクトホールを形成する。コンタクトホールは、第1の配線のパッド部の上に第2の絶縁膜などを設ける前に形成しても構わない。この場合、第1の配線のパッド部の所定の箇所をエッチングなどにより削ってコンタクトホールを形成する。続けて、第1の配線のパッド部の上に第2の絶縁膜などを設けた後、コンタクトホールに連通するように第2の絶縁膜をエッチングにより削って第2の配線用凹部を形成する。コンタクトホールの内部が第2の絶縁膜などによって埋められている（塞がれている）場合には、それらも併せて削ればよい。このような工程により、前述した第1～第4の各実施形態と同様に、所望のコンタクトホールおよび第2の配線用凹部を形成することができる。

【0093】

あるいは、第1の配線のパッド部の上に第2の絶縁膜などを設ける前に、コン

タクトホールが第2の絶縁膜などによって埋められないようにコンタクトホール上にマスク材を設ける。続けて、第1の配線のパッド部の上に第2の絶縁膜などを設けた後、コンタクトホールに連通するように第2の絶縁膜およびマスク材などをエッチングにより削って第2の配線用凹部を形成する。このような工程によっても、前述した第1～第4の各実施形態と同様に、所望のコンタクトホールおよび第2の配線用凹部を形成することができる。

【0094】

さらには、第1の配線のパッド部の上に第2の絶縁膜などを設けた後、第1の配線のパッド部の所定の箇所をその上方の第2の絶縁膜などとともにエッチングする。これにより、コンタクトホールの内部が第2の絶縁膜などによって埋められるおそれが殆どない状態で所望のコンタクトホールを形成できる。この後、コンタクトホールに連通するように第2の絶縁膜およびマスク材などをエッチングにより削って第2の配線用凹部を形成する。このような工程によっても、前述した第1～第4の各実施形態と同様に、所望のコンタクトホールおよび第2の配線用凹部を形成することができる。

【0095】

【発明の効果】

本発明に係る半導体装置によれば、パッド部における配線同士の密着性および配線間の導電性の向上が図られており、信頼性が向上されている。

【0096】

また、本発明に係る半導体装置の製造方法によれば、パッド部における配線同士の密着性および配線間の導電性の向上を図ることにより、信頼性が向上された半導体装置を容易に製造できる。

【図面の簡単な説明】

【図1】

第1実施形態に係る半導体装置の製造方法を示す工程断面図および平面図。

【図2】

第1実施形態に係る半導体装置の製造方法を示す工程断面図および平面図。

【図3】

第 1 実施形態に係る半導体装置の製造方法を示す工程断面図および平面図。

【図 4】

第 1 実施形態に係る半導体装置およびその製造方法を示す工程断面図および平面図。

【図 5】

第 2 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 6】

第 2 実施形態に係る半導体装置およびその製造方法を示す工程断面図および平面図。

【図 7】

第 3 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 8】

第 3 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 9】

第 3 実施形態に係る半導体装置およびその製造方法を示す工程断面図および平面図。

【図 1 0】

第 4 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 1 1】

第 4 実施形態に係る半導体装置の製造方法を示す工程断面図。

【図 1 2】

第 4 実施形態に係る半導体装置およびその製造方法を示す工程断面図および平面図。

【図 1 3】

従来技術に係る半導体装置を示す平面図および断面図。

【図 1 4】

従来技術に係る他の半導体装置を示す平面図および断面図。

【符号の説明】

1 … S i 基板

2…SiO₂膜（第1の絶縁膜）

3…第1の配線用凹部

3a…第1の配線のパッド部用凹部

3, 44…Cu膜（第1の導電材料）

6, 45…Cuダマシン配線（第1の配線）

6a, 45a…Cuダマシン配線のパッド部（第1の配線のパッド部）

8…SiO₂膜（第2の絶縁膜）

9a, 22a, 32a, 46a…第2の配線用凹部

9b, 22b, 32b, 46b…コンタクトプラグ用凹部

11, 24, 34, 48…Al膜（第2の導電材料）

12a, 25a, 49a…Alデュアルダマシン配線（第2の配線）

12b, 25b, 35b, 49b…Alコンタクトプラグ（コンタクトプラグ）

12c, 25c, 35c, 49c…Alダマシン配線のパッド部（第2の配線のパッド部）

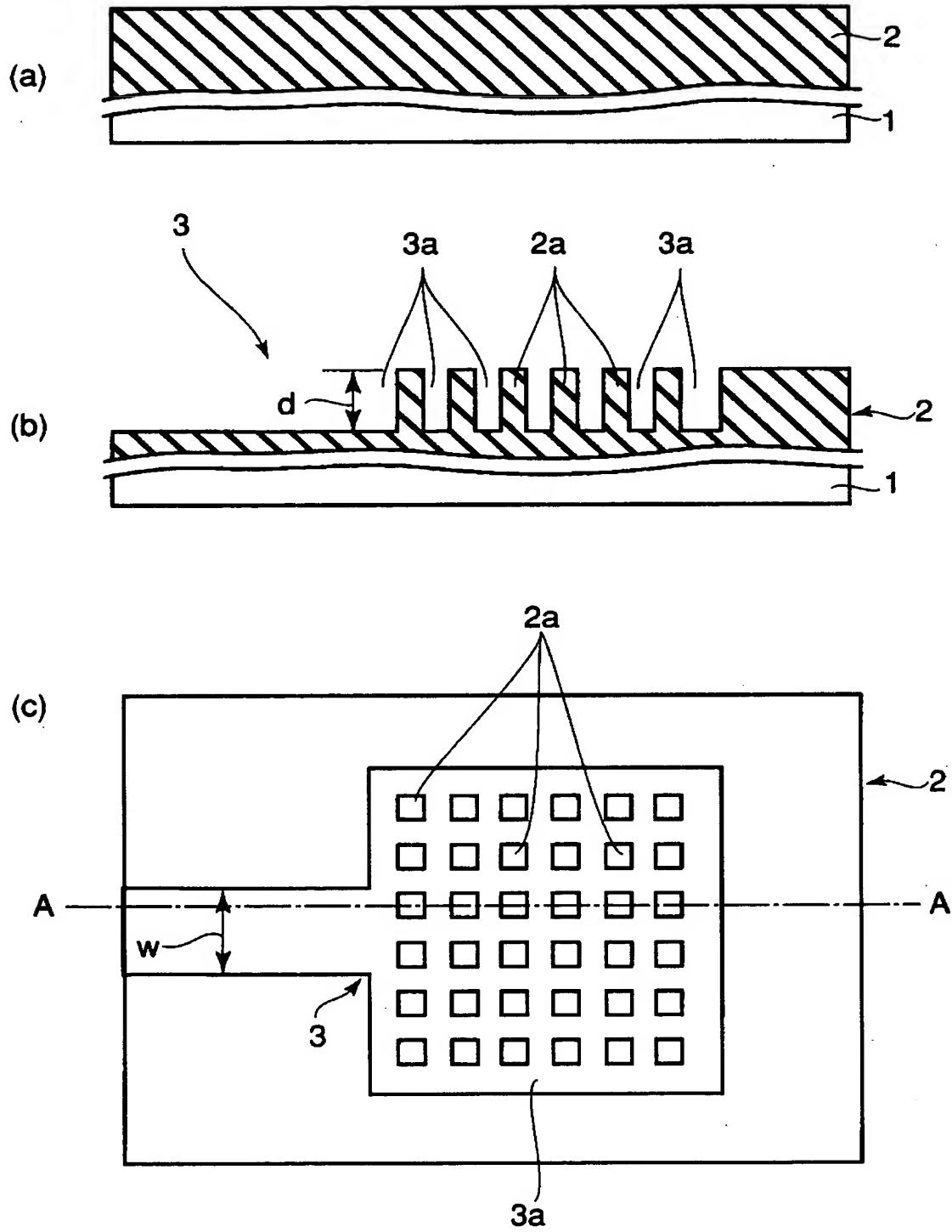
35a…Alシングルダマシン配線（第2の配線）

36…SiO₂膜（第2の絶縁膜）

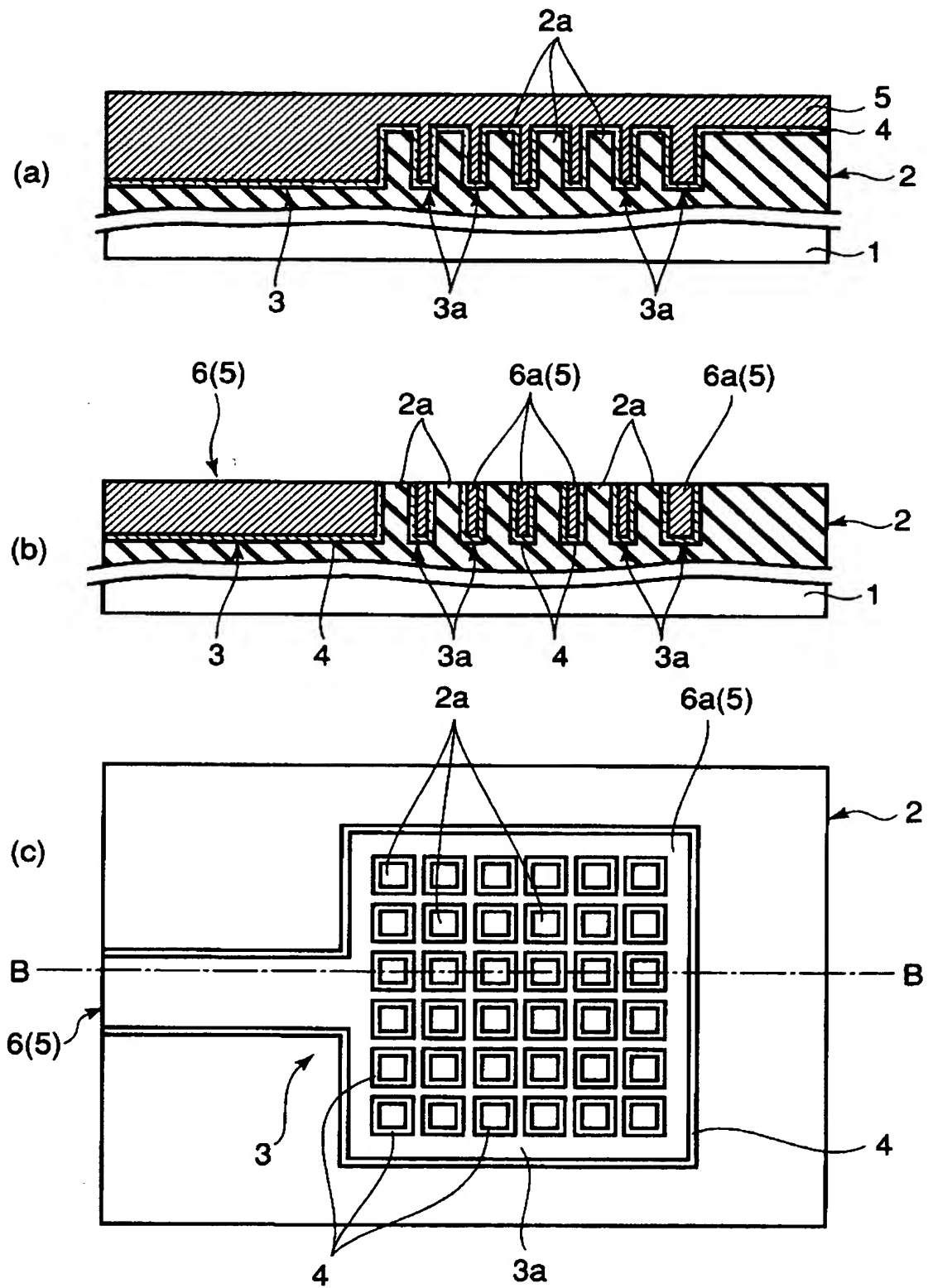
37…Al膜（第3の導電材料）

【書類名】 図面

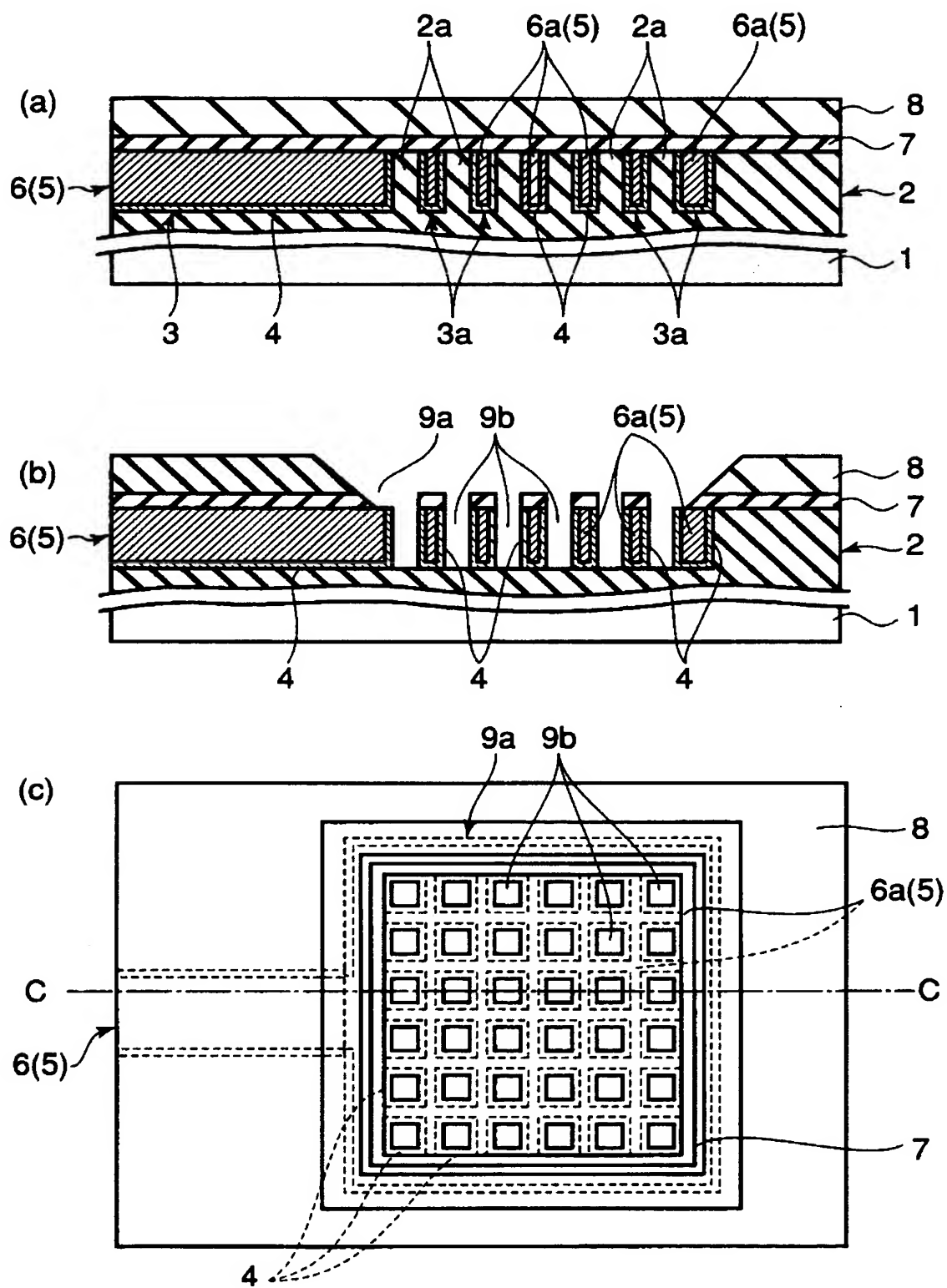
【図 1】



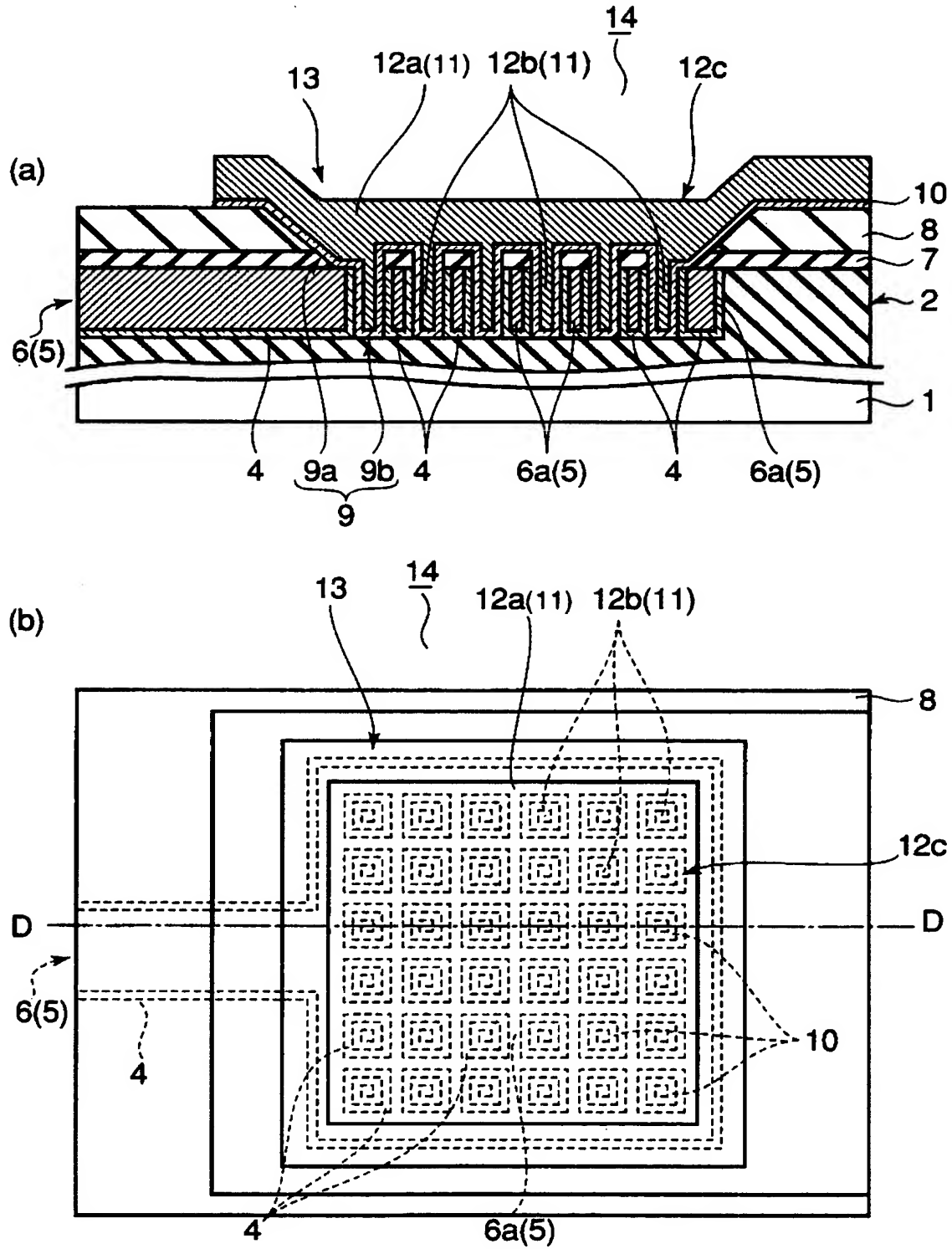
【図 2】



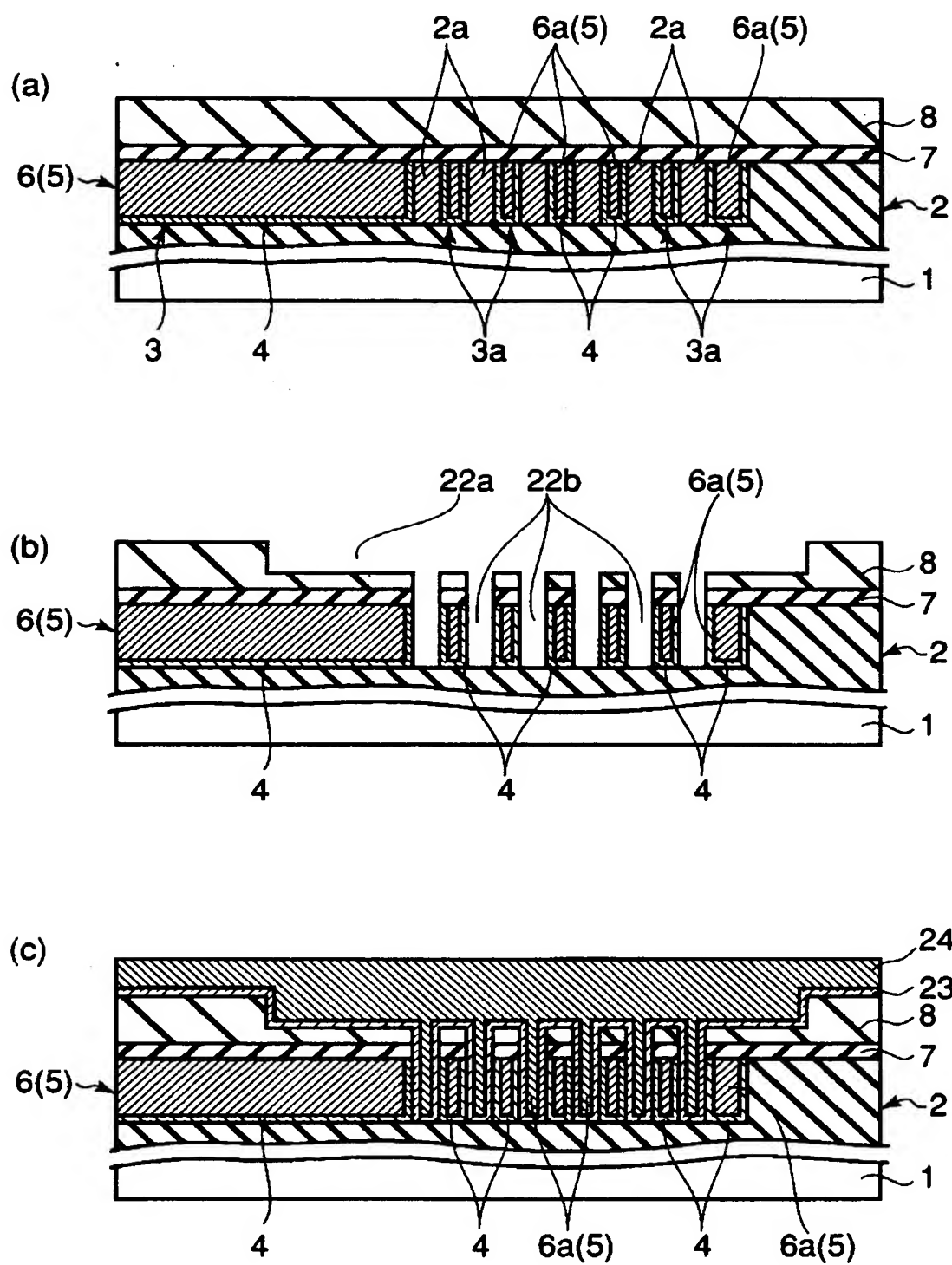
【圖 3】



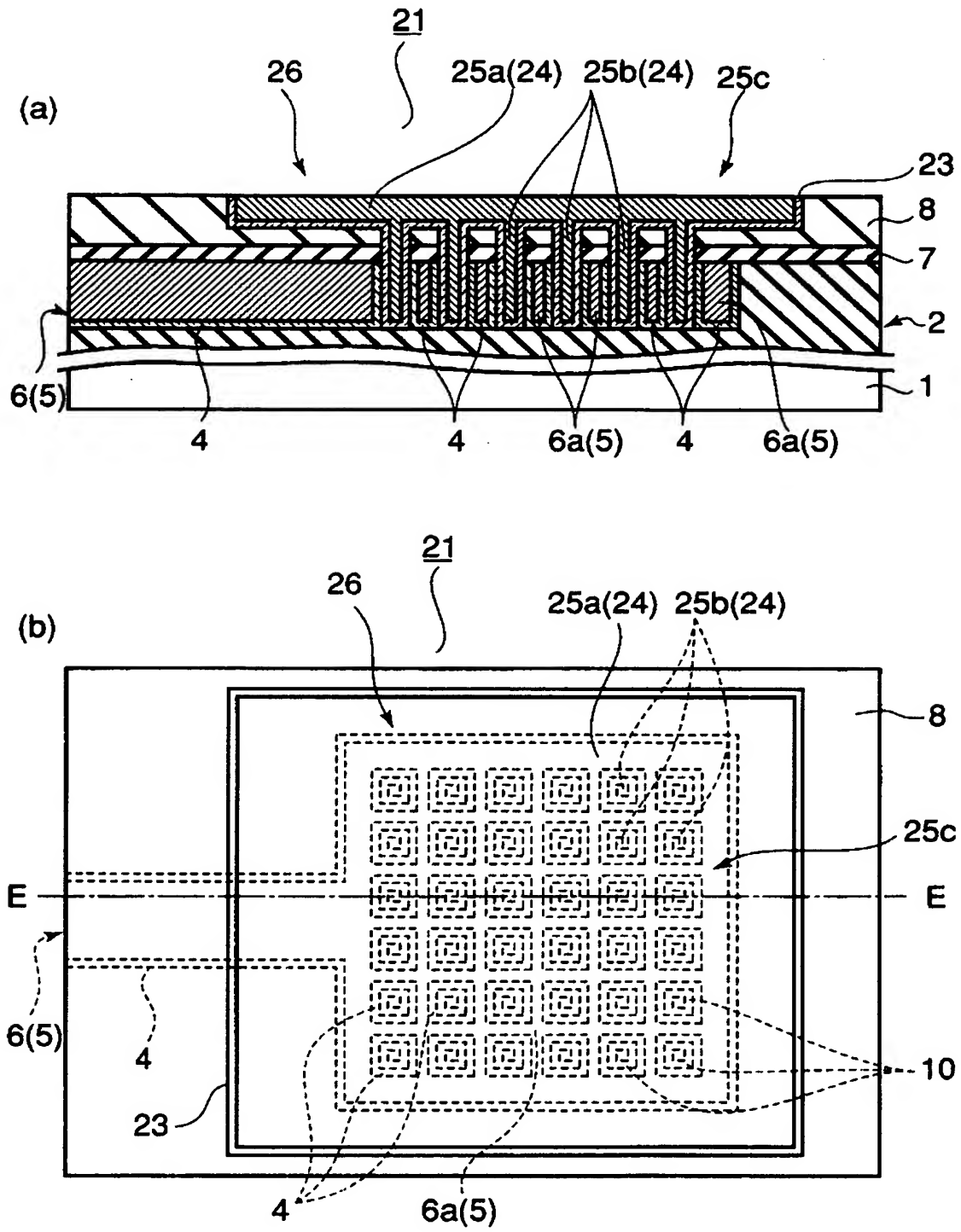
【図 4】



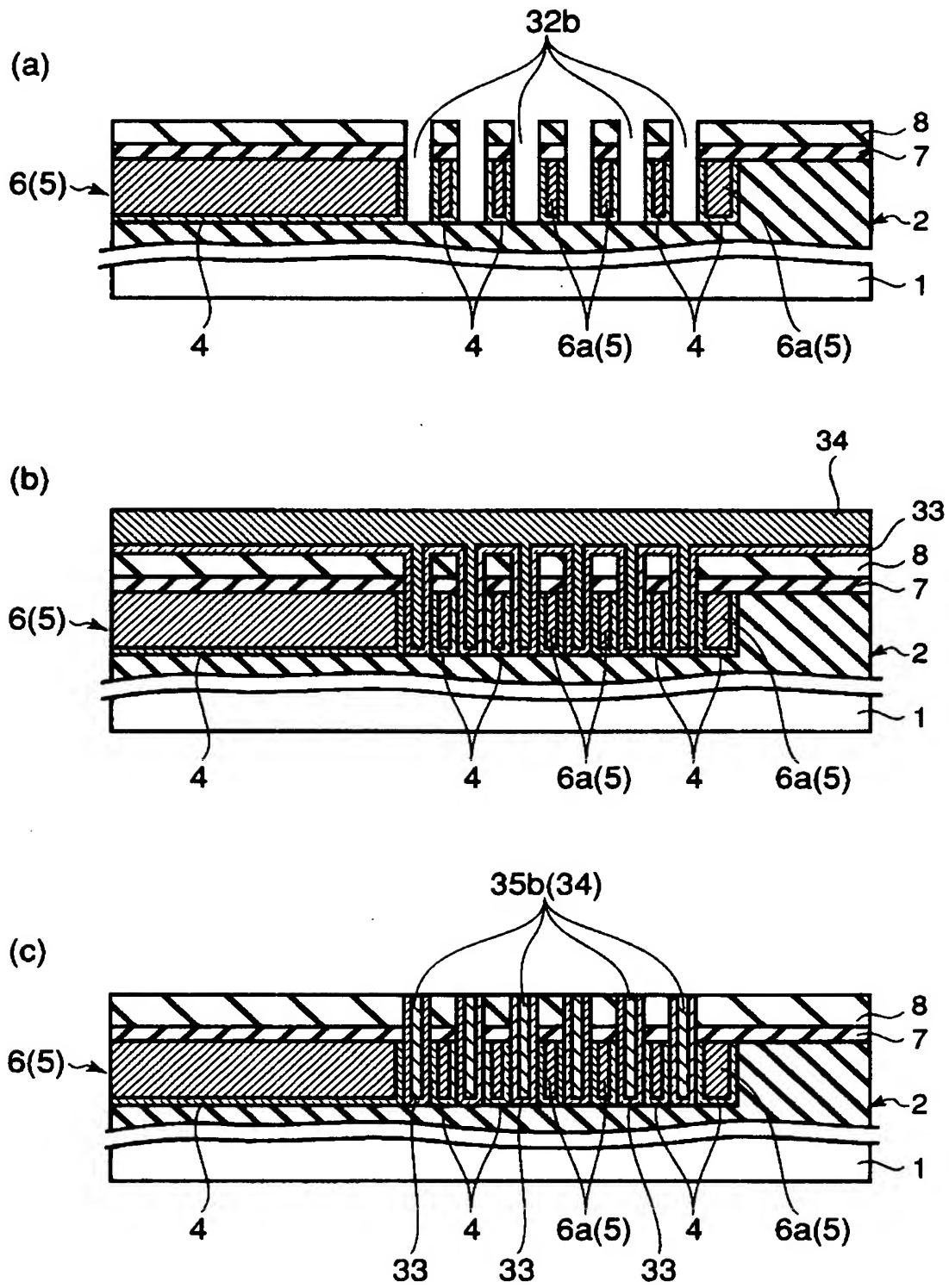
【図 5】



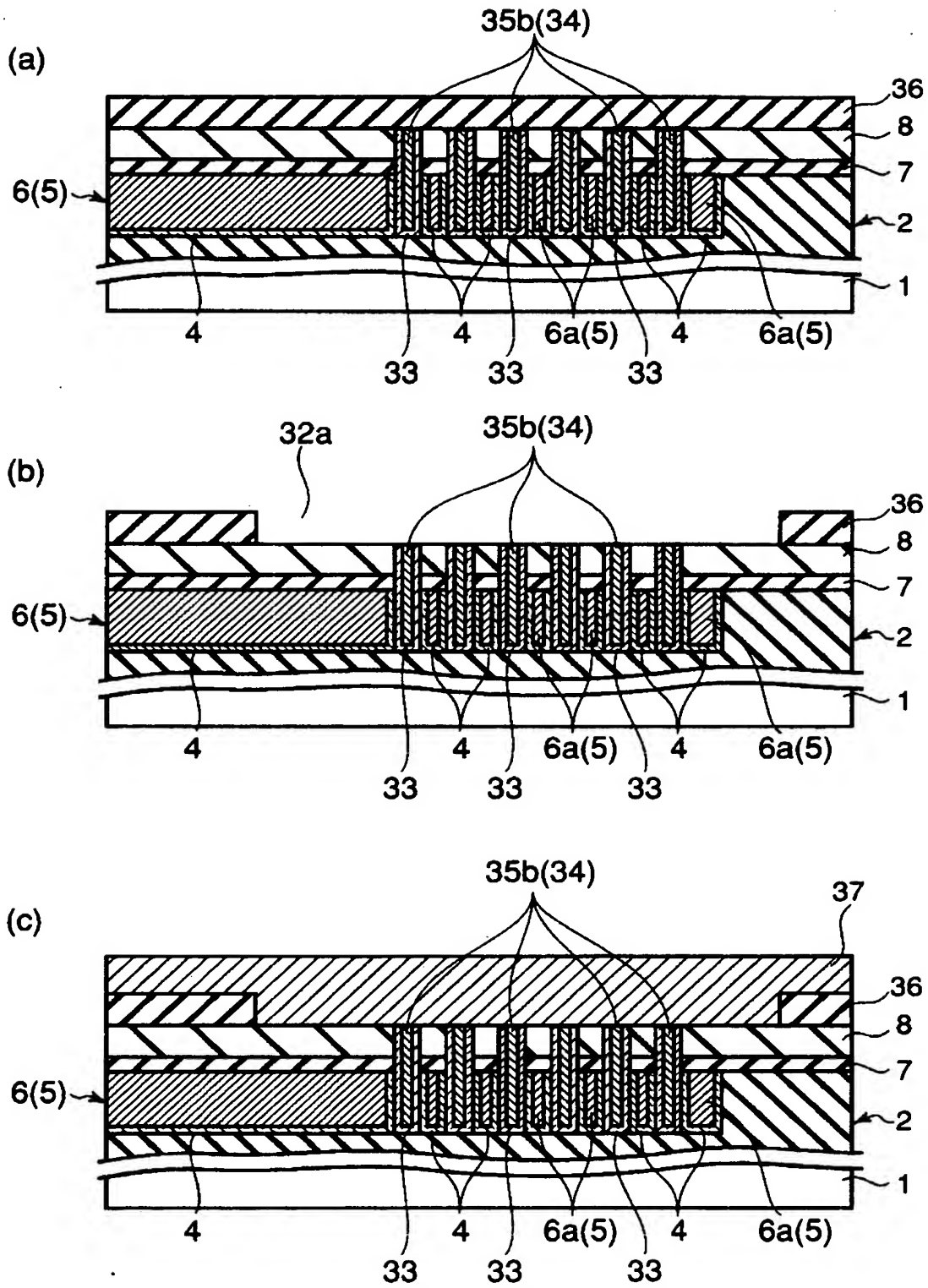
【図 6】



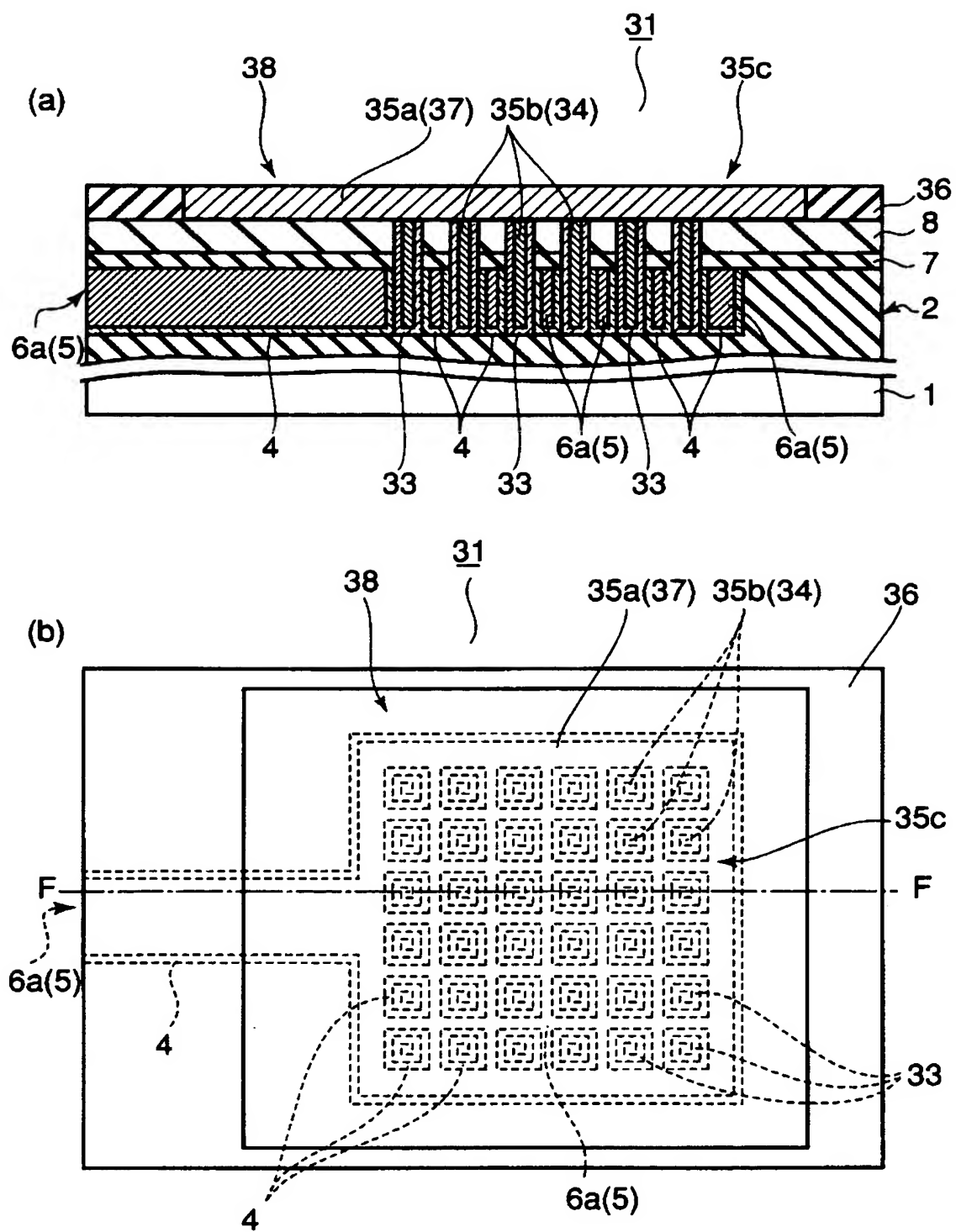
【図 7】



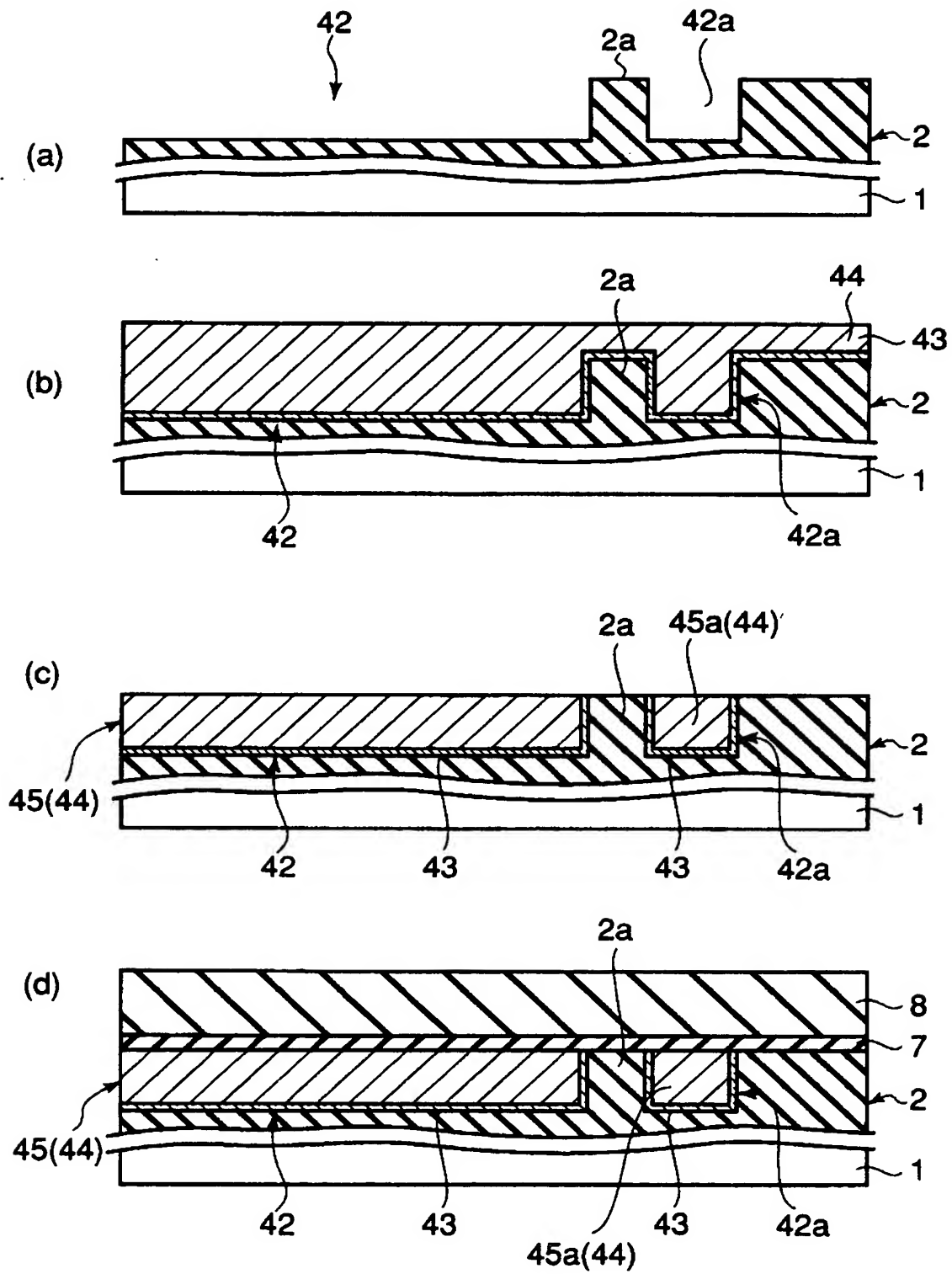
【 図 8 】



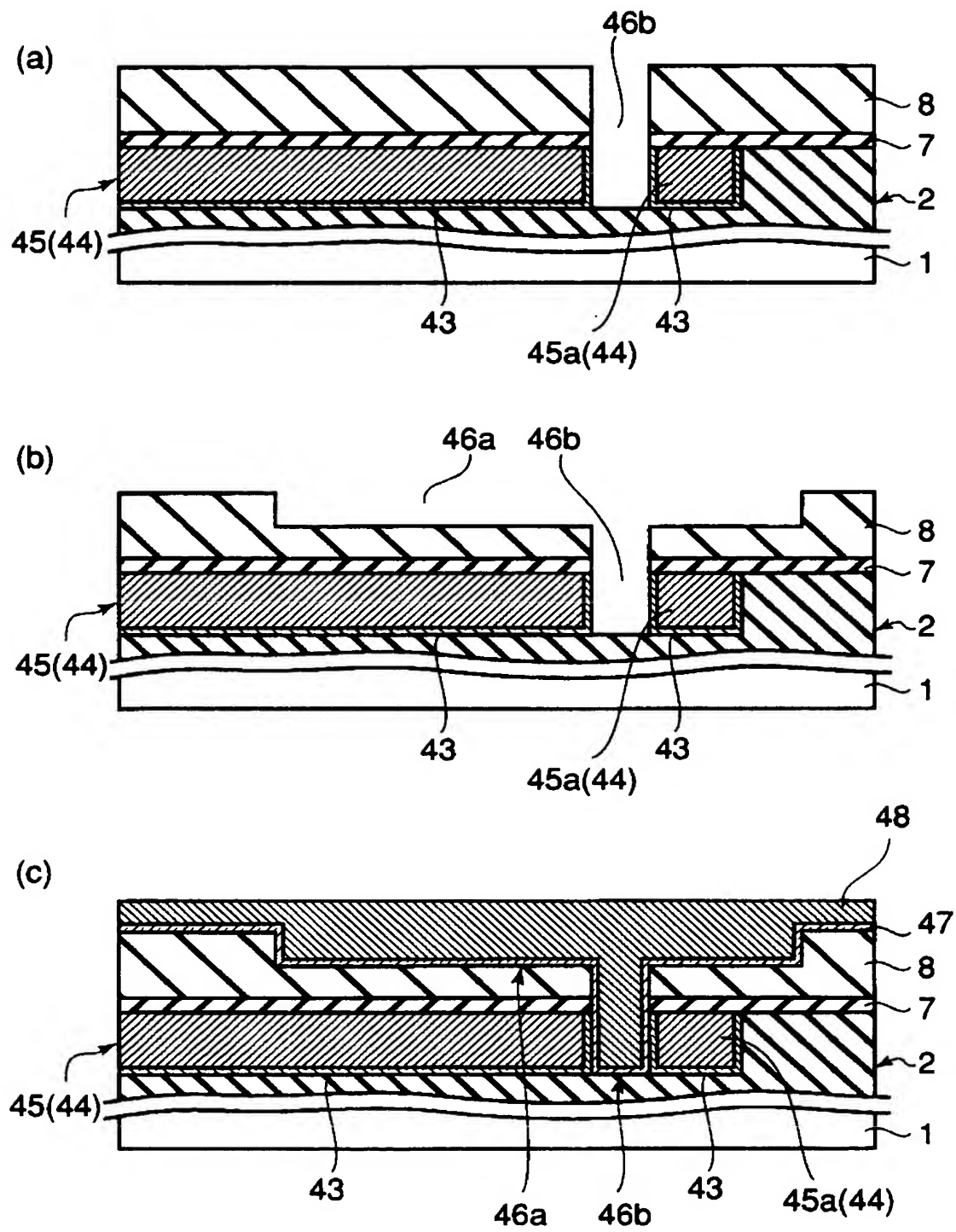
【図 9】



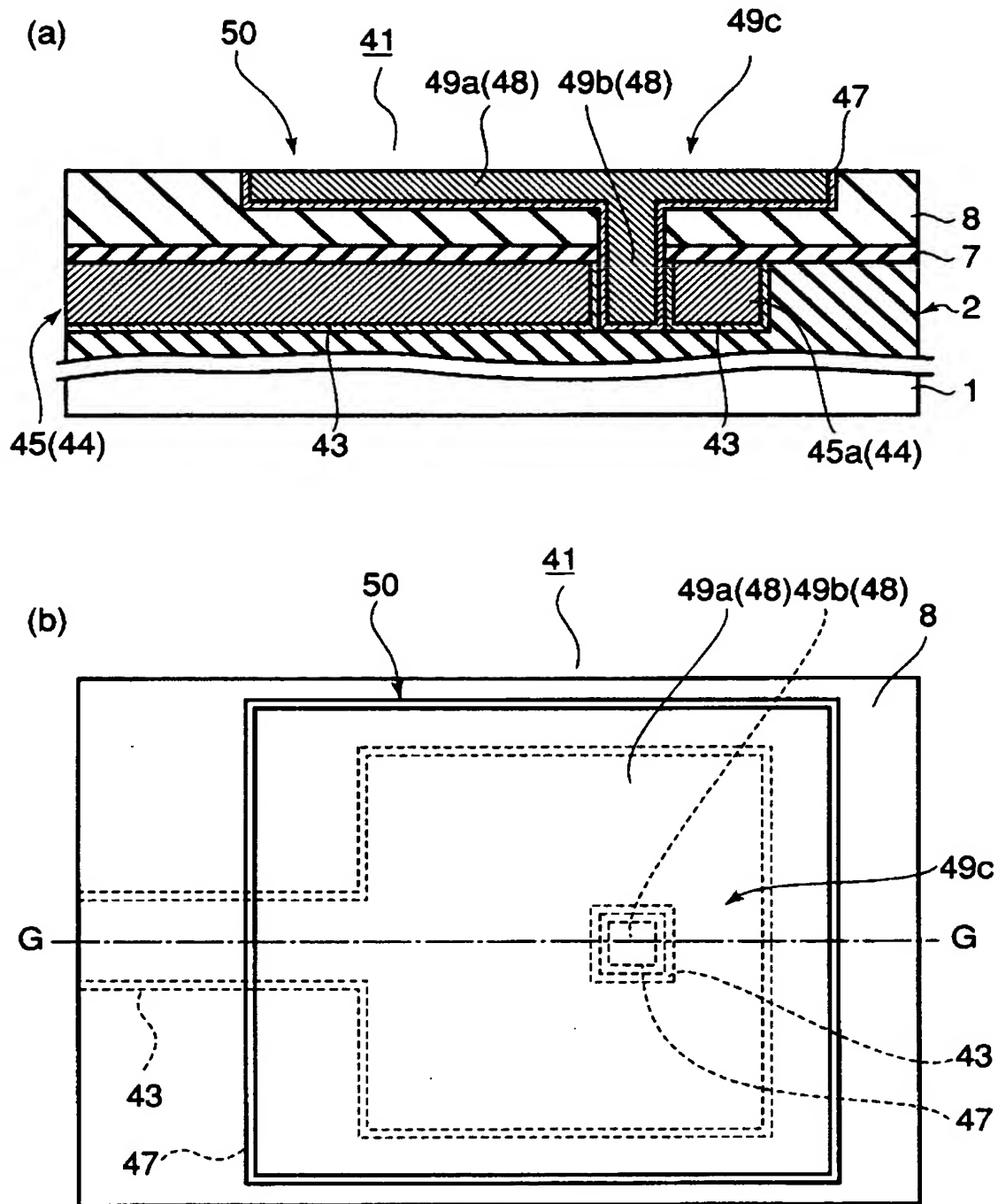
【図 1 0】



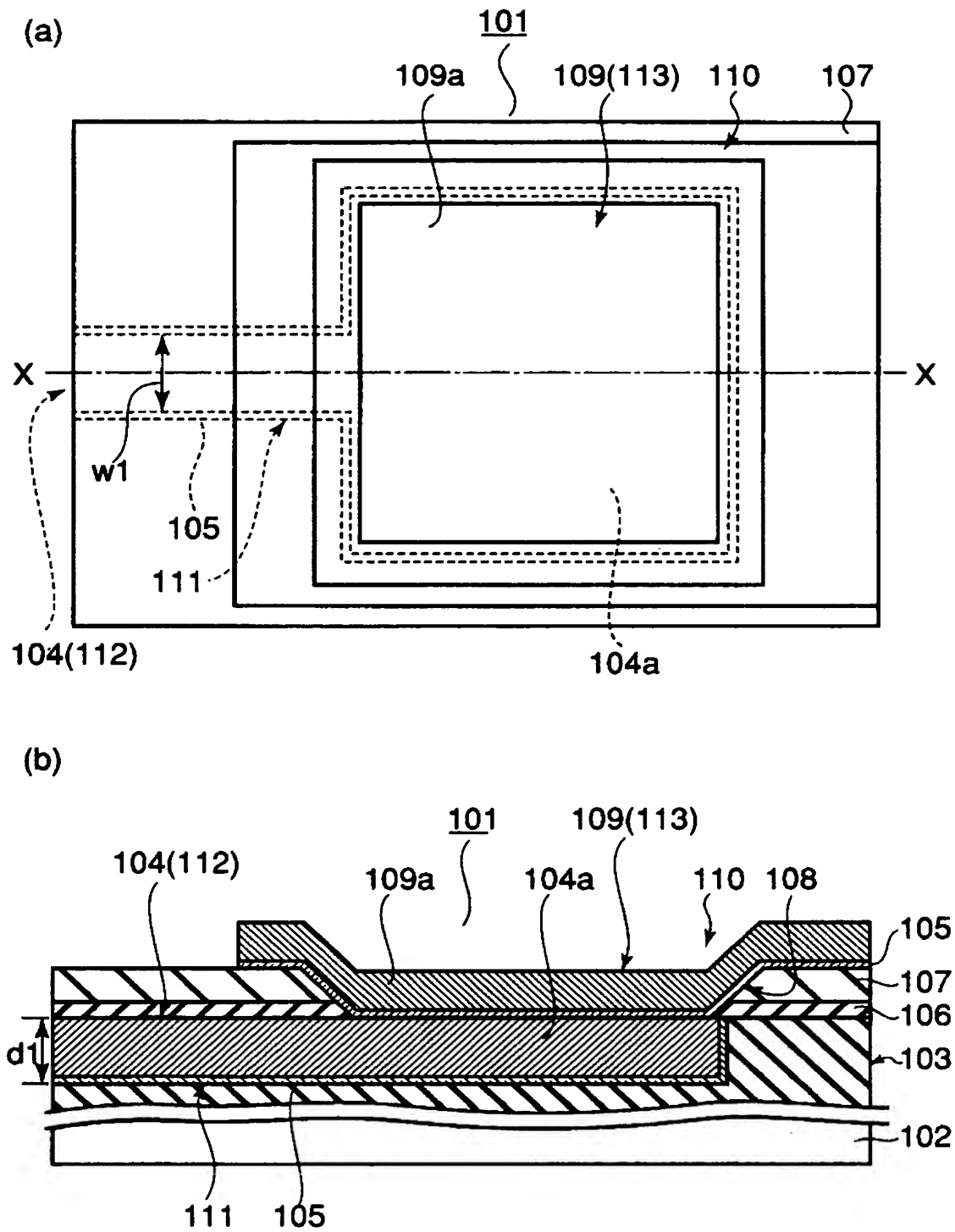
【図 11】



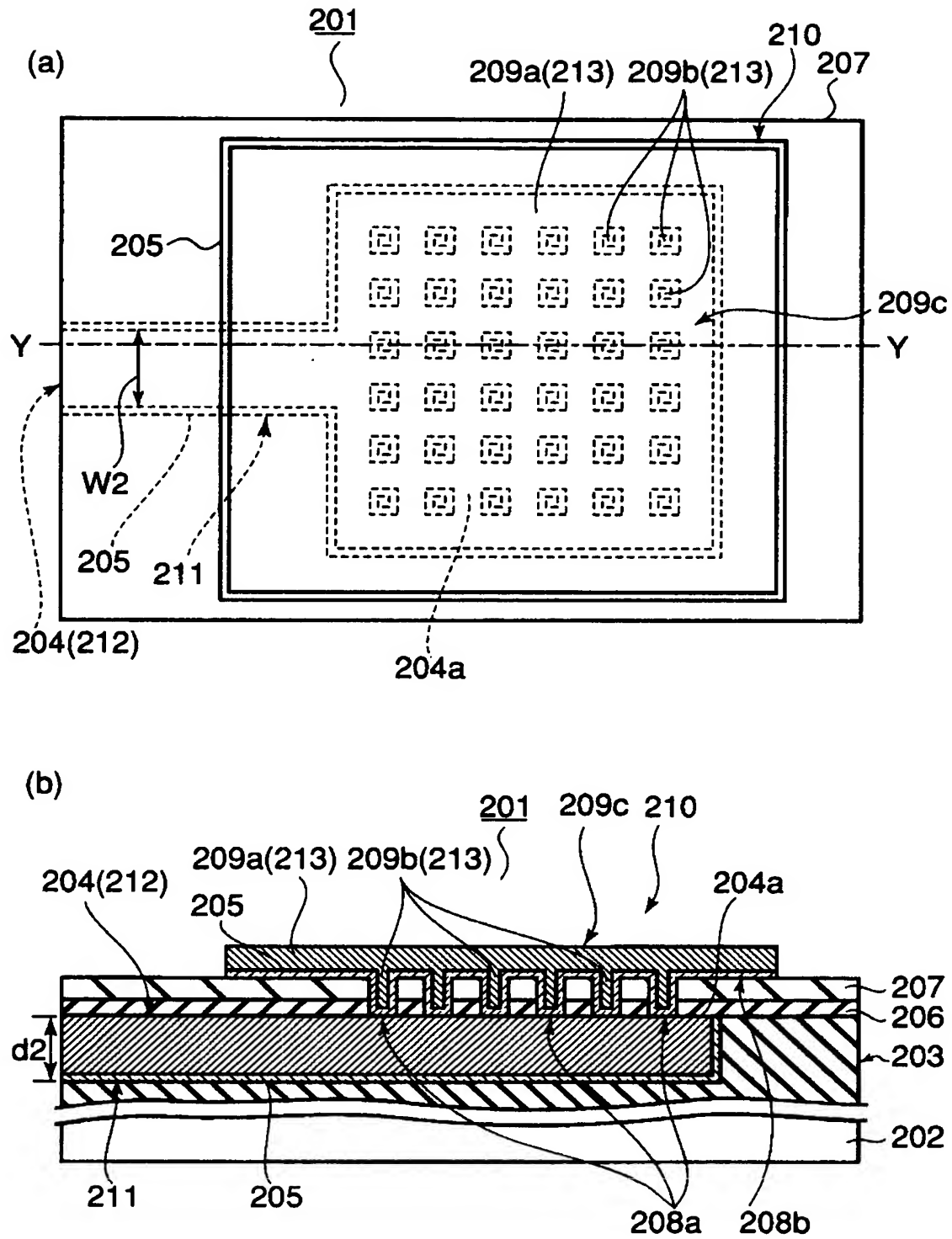
【図 1 2】



【図 13】



【図14】



【書類名】 要約書

【要約】

【課題】 パッド部における配線同士の密着性および配線間の導電性の向上が図られ、信頼性を向上された半導体装置を提供する。

【解決手段】 S i 基板 1 上に設けられた S i O₂ 膜 2 の上面から内部にかけて、C u ダマシン配線 6 およびそのパッド部 6 a が設けられている。C u ダマシン配線 6 のパッド部 6 a の上方で、S i O₂ 膜 2 および C u ダマシン配線 6 の上に設けられた S i O₂ 膜 8 の上面から露出して、A l デュアルダマシン配線 1 2 a が設けられている。A l デュアルダマシン配線 1 2 a の下面から C u ダマシン配線 6 のパッド部 6 a の内部に達してコンタクトプラグ 1 2 b が設けられている。

【選択図】 図 4

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日	2001年 7月 2日
[変更理由]	住所変更
住 所	東京都港区芝浦一丁目1番1号
氏 名	株式会社東芝